

(19)



**Евразийское
патентное
ведомство**

(11) **044563**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента
2023.09.06

(51) Int. Cl. **G09G 3/32 (2016.01)**

(21) Номер заявки
202190908

(22) Дата подачи заявки
2020.07.23

(54) **ПАНЕЛЬ ОТОБРАЖЕНИЯ, СПОСОБ УПРАВЛЕНИЯ ЗАТВОРОМ И УСТРОЙСТВО
ОТОБРАЖЕНИЯ**

(31) **202010566758.7**

(56) CN-A-107871471

(32) **2020.06.19**

CN-A-108630167

(33) **CN**

CN-A-109036304

(43) **2022.01.31**

CN-A-108010495

(86) **PCT/CN2020/103793**

CN-A-108010498

(87) **WO 2021/253570 2021.12.23**

CN-A-110782855

KR-A-20170114621

(71)(73) Заявитель и патентовладелец:
**УХАНЬ ЧАЙНА СТАР
ОПТОЭЛЕКТРОНИКС
ТЕКНОЛОДЖИ КО., ЛТД. (CN)**

(72) Изобретатель:
Тао Цзянь (CN)

(74) Представитель:
Носырева Е.Л. (RU)

(57) Предоставляются панель отображения, способ управления затвором и устройство отображения. Панель отображения содержит схему управления пикселями в отображающей области и схему управления затвором в неотображающей области. Схема управления затвором электрически подключена к первому выводу напряжения и второму выводу напряжения. Первый вывод напряжения выполнен с возможностью выключения транзистора управления схемы управления пикселями, электрически подключенной к выходному выводу схемы управления затвором. Второй вывод напряжения выполнен с возможностью выключения выходного транзистора схемы управления затвором для устранения сдвига в напряжении затвора транзистора управления в схеме управления пикселями так, что надежность транзистора управления и устойчивость к отказам панели отображения могут быть увеличены.

B1

044563

044563

B1

Область техники, к которой относится изобретение

Настоящее изобретение относится к технологии отображения и, в частности, к панели отображения, способу управления затвором и устройству отображения.

Предпосылки создания изобретения

Благодаря использованию низкотемпературного поликристаллического оксида (LTPO) торцевая крышка может обладать преимуществами технологий, основанных на низкотемпературном поликристаллическом кремнии (LTPS) и оксиде. Устройство отображения LTPO может выполнять переключение высокой/низкой частоты и достигать целей низкого энергопотребления и высокого качества отображения. Однако LTPS и оксид имеют разные электрические характеристики. Когда оксидные транзисторы смещены или длительное время находятся при высокой температуре, пороговое напряжение может сдвигаться. Чтобы устранить это, необходимо отрегулировать напряжение затвора. Однако регулировка напряжения затвора повлияет на электрические характеристики транзисторов LTPS, и это нарушит работу устройства отображения.

Сущность изобретения

Техническая задача

Одна цель варианта осуществления настоящего изобретения состоит в том, чтобы предоставить панель отображения, способ управления затвором и устройство отображения, которое выполнено с возможностью устранения сдвига порогового напряжения транзистора управления в схеме управления пикселями и повышения надежности транзистора управления и устойчивости к отказам панели отображения.

Техническое решение

Согласно варианту осуществления настоящего изобретения раскрыта панель отображения. Панель отображения содержит схему управления пикселями в отображающей области и схему управления затвором в неотображающей области. Схема управления затвором электрически подключена к первому выводу напряжения и второму выводу напряжения. Первый вывод напряжения выполнен с возможностью выключения транзистора управления схемы управления пикселями, электрически подключенной к выходному выводу схемы управления затвором. Второй вывод напряжения выполнен с возможностью выключения выходного транзистора схемы управления затвором.

На панели отображения схема управления затвором содержит: каскадные ступени подсхем, при этом подсхема n-й ступени из подсхем содержит: модуль управления сканированием, выполненный с возможностью выполнения прямого сканирования или обратного сканирования согласно сигналу управления сканированием; и модуль управления подтягиванием к низкому уровню напряжения, электрически подключенный к модулю управления сканированием, выполненный с возможностью управления рабочим состоянием модуля подтягивания к низкому уровню напряжения согласно модулю управления сканированием. Модуль подтягивания к низкому уровню напряжения электрически подключен к модулю управления подтягиванием к низкому уровню напряжения и модулю вывода, модуль подтягивания к низкому уровню напряжения электрически подключен к первому выводу напряжения и второму выводу напряжения; модуль подтягивания к низкому уровню напряжения выполнен с возможностью, в состоянии сброса, использования второго вывода напряжения для выключения выходного транзистора модуля вывода и подключения первого вывода напряжения к выходному выводу модуля вывода для подтягивания к низкому уровню напряжения выходного вывода модуля вывода так, чтобы транзистор управления схемы управления пикселями выключался. Модуль вывода электрически подключен к модулю управления сканированием и модулю подтягивания к низкому уровню напряжения; модуль вывода принимает тактовый сигнал n-й ступени; и модуль вывода выполнен с возможностью вывода сигнала управления затвором.

В панели отображения модуль подтягивания к низкому уровню напряжения содержит: подтягивающий к низкому уровню напряжения транзистор, имеющий затвор, электрически подключенный к модулю управления подтягиванием к низкому уровню напряжения, первый электрод, электрически подключенный к модулю вывода, и второй электрод, принимающий второй вывод напряжения, при этом подтягивающий к низкому уровню напряжения транзистор выполнен с возможностью выключения выходного транзистора в состоянии сброса для остановки записывания тактового сигнала n-ой ступени в выходной вывод модуля вывода; транзистор сброса, имеющий затвор, электрически подключенный к затвору подтягивающего к низкому уровню напряжения транзистора, первый электрод, электрически подключенный к выходному выводу модуля вывода, и второй электрод, электрически подключенный к первому выводу напряжения, при этом транзистор сброса выполнен с возможностью, в состоянии сброса, подтягивания к низкому уровню напряжения выходного вывода модуля вывода так, чтобы транзистор управления схемы управления пикселями выключался; и первый накопительный конденсатор, электрически подключенный между подтягивающим к низкому уровню напряжения транзистором и вторым выводом напряжения, выполненный с возможностью поддержания напряжений затвора подтягивающего к низкому уровню напряжения транзистора и транзистора сброса.

В панели отображения модуль управления подтягиванием к низкому уровню напряжения содержит: первый транзистор, имеющий затвор, электрически подключенный к модулю управления сканированием

ем, первый электрод, электрически подключенный к третьему выводу напряжения, и второй электрод, электрически подключенный к затвору подтягивающего к низкому уровню напряжения транзистора; первый транзистор выполнен с возможностью, в состоянии сброса, обеспечения работы модуля подтягивания к низкому уровню напряжения; и второй транзистор, имеющий затвор, электрически подключенный к первому электроду подтягивающего к низкому уровню напряжения транзистора, первый электрод, электрически подключенный ко второму электроду первого транзистора, и второй электрод, электрически подключенный ко второму выводу напряжения; второй транзистор выполнен с возможностью, в состоянии входа, состоянии выхода и состоянии подтягивания к низкому уровню напряжения, поддержания модуля подтягивания к низкому уровню напряжения выключенным так, чтобы тактовый сигнал n -й ступени записывался в выходной вывод модуля вывода.

В панели отображения сигнал управления сканированием содержит сигнал управления прямым сканированием и сигнал управления обратным сканированием, и модуль управления сканированием содержит: третий транзистор, имеющий затвор, принимающий стартовый сигнал или сигнал управления затвором ступени $(n-2)$, первый электрод, принимающий сигнал управления прямым сканированием, и второй электрод, электрически подключенный к затвору второго транзистора; третий транзистор выполнен с возможностью обеспечения, в состоянии входа, работы модуля управления подтягиванием к низкому уровню напряжения и модуля вывода так, чтобы тактовый сигнал n -й ступени записывался в выходной вывод модуля вывода; четвертый транзистор, имеющий затвор, электрически связанный с сигналом управления затвором ступени $(n+2)$, первый электрод, электрически подключенный ко второму электроду третьего транзистора, и второй электрод, принимающий сигнал управления обратным сканированием; третий транзистор выполнен с возможностью обеспечения, в состоянии сброса, управления модулем управления подтягиванием к низкому уровню напряжения работы модуля подтягивания к низкому уровню напряжения; пятый транзистор, имеющий затвор, принимающий сигнал управления прямым сканированием, первый электрод, принимающий тактовый сигнал ступени $(n+2)$, и второй электрод, электрически подключенный к затвору первого транзистора; и шестой транзистор, имеющий затвор, принимающий сигнал управления обратным сканированием, первый электрод, принимающий тактовый сигнал ступени $(n-2)$, и второй электрод, электрически подключенный ко второму электроду пятого транзистора.

В панели отображения модуль вывода содержит: седьмой транзистор, имеющий затвор, принимающий третий вывод напряжения, первый электрод, электрически подключенный ко второму электроду третьего транзистора, и второй электрод; выходной транзистор, имеющий затвор, электрически подключенный ко второму электроду седьмого транзистора, первый электрод, принимающий тактовый сигнал n -ой ступени, и второй электрод, электрически подключенный к первому электроду транзистора сброса; и второй накопительный конденсатор, электрически подключенный между первым электродом седьмого транзистора и вторым выводом напряжения, выполненный с возможностью поддержания выходного транзистора включенным в состоянии входа, состоянии выхода и состоянии подтягивания к низкому уровню напряжения так, чтобы тактовый сигнал n -й ступени записывался в выходной вывод модуля вывода.

В панели отображения схема управления затвором дополнительно содержит: модуль скрытого сканирования, электрически подключенный к модулю подтягивания к низкому уровню напряжения и модулю вывода, выполненный с возможностью приема сигнала управления скрытым сканированием для выполнения операции скрытого сканирования на экране отображения в момент времени, когда панель отображения выключена.

В панели отображения модуль скрытого сканирования содержит: девятый транзистор, имеющий затвор, принимающий сигнал управления скрытым сканированием; первый электрод, электрически подключенный к модулю подтягивания к низкому уровню напряжения; и второй электрод, электрически подключенный ко второму выводу напряжения; десятый транзистор, имеющий затвор, первый электрод, электрически подключенный к затвору десятого транзистора и затвору девятого транзистора; и второй электрод, электрически подключенный к выходному выводу модуля вывода.

В панели отображения первый электрод девятого электрода электрически подключен к затвору транзистора сброса в модуле подтягивания к низкому уровню напряжения; и второй электрод десятого транзистора электрически подключен ко второму электроду выходного транзистора в модуле вывода.

В панели отображения первый вывод напряжения представляет собой источник низкого напряжения постоянного тока, и второй вывод напряжения представляет собой источник высокого напряжения постоянного тока.

В панели отображения третий вывод напряжения представляет собой источник высокого напряжения постоянного тока.

В панели отображения сигнал управления прямым сканированием представляет собой сигнал высокого уровня напряжения, и сигнал управления обратным сканированием представляет собой сигнал низкого уровня напряжения.

В панели отображения все транзисторы схемы управления пикселями представляют собой оксидные транзисторы, и все транзисторы схемы управления затвором представляют собой транзисторы на

основе низкотемпературного поликристаллического кремния (LTPS).

Согласно варианту осуществления настоящего изобретения раскрыт способ управления затвором для управления вышеупомянутой схемой управления затвором. Способ управления затвором включает: в состоянии входа управление сигналом управления сканированием, электрически связанного с модулем управления сканированием в схеме управления затвором, для обеспечения работы модуля вывода и модуля управления подтягиванием к низкому уровню напряжения так, чтобы модуль управления подтягиванием к низкому уровню напряжения управлял выключенным состоянием модуля подтягивания к низкому уровню напряжения и тактовый сигнал n-й ступени записывался в выходной вывод модуля вывода; в состоянии выхода обеспечение тактовым сигналом n-й ступени наличия в модуле вывода эффекта самозагрузки, так что выходной вывод модуля вывода выводит сигнал управления затвором, и при этом сигнал управления затвором запускает работу транзистора управления схемы управления пикселями; в состоянии подтягивания к низкому уровню напряжения поддержание модулем вывода работы так, чтобы тактовый сигнал n-й ступени записывался в выходной вывод модуля вывода благодаря взаимодействию модуля управления подтягиванием к низкому уровню напряжения и тактового сигнала n-й ступени; и в состоянии сброса обеспечение сигналом управления сканированием работы модуля управления подтягиванием к низкому уровню напряжения, при этом модуль управления подтягиванием к низкому уровню напряжения управляет нахождением модуля подтягивания к низкому уровню напряжения в рабочем состоянии, второй вывод напряжения выключает выходной транзистор в модуле вывода, выходной вывод модуля вывода электрически подключен к первому выводу напряжения, и транзистор управления выключен.

Согласно варианту осуществления настоящего изобретения предоставляется устройство отображения, содержащее панель отображения, раскрытую выше.

Преимущественные эффекты

По сравнению с известным уровнем техники согласно варианту осуществления настоящего изобретения предоставляются панель отображения, способ управления затвором и устройство отображения. Панель отображения содержит схему управления пикселями в отображающей области и схему управления затвором в неотображающей области. Схема управления затвором электрически подключена к первому выводу напряжения и второму выводу напряжения. Первый вывод напряжения выполнен с возможностью выключения транзистора управления схемы управления пикселями, электрически подключенной к выходному выводу схемы управления затвором. Второй вывод напряжения выполнен с возможностью выключения выходного транзистора схемы управления затвором для устранения сдвига в напряжении затвора транзистора управления в схеме управления пикселями так, что надежность транзистора управления и устойчивость к отказам панели отображения могут быть увеличены.

Краткое описание графических материалов

Варианты осуществления настоящего изобретения подробно проиллюстрированы в прилагаемых графических материалах, на которых аналогичные или подобные ссылочные позиции относятся к аналогичным или подобным элементам или элементам, имеющим одинаковые или подобные функции по всему описанию. Варианты осуществления, описанные ниже со ссылкой на прилагаемые графические материалы, являются иллюстративными и предназначены для иллюстрации настоящего изобретения и не должны рассматриваться как ограничивающие объем настоящего изобретения.

На фиг. 1 представлено изображение панели отображения согласно варианту осуществления настоящего изобретения.

На фиг. 2А и фиг. 2В показана работа схемы управления затвором согласно варианту осуществления настоящего изобретения.

На фиг. 3А и фиг. 3В показана структура схемы управления затвором согласно варианту осуществления настоящего изобретения.

На фиг. 3С представлена временная диаграмма схемы управления затвором согласно варианту осуществления настоящего изобретения.

На фиг. 4 представлено изображение схемы управления затвором согласно варианту осуществления настоящего изобретения.

Подробное описание предпочтительных вариантов осуществления

В целях описания, а не ограничения, ниже представлены такие конкретные детали, как конкретная структура системы, интерфейс и технология для полного понимания применения. Однако специалистам в данной области техники понятно, что применение также может быть реализовано в других вариантах осуществления, не предоставляющих таких конкретных деталей. В других случаях подробности хорошо известного устройства, схемы и способа опускаются, чтобы не затруднять описание применения ненужными деталями.

Обратимся к фиг. 1-3С. На фиг. 1 представлено изображение панели отображения согласно варианту осуществления настоящего изобретения. На фиг. 2А и фиг. 2В показана работа схемы управления затвором согласно варианту осуществления настоящего изобретения. На фиг. 3А и фиг. 3В показана структура схемы управления затвором согласно варианту осуществления настоящего изобретения. На фиг. 3С представлена временная диаграмма схемы управления затвором согласно варианту осуществления на-

стоящего изобретения.

Панель отображения содержит отображающую область 100a и неотображающую область 100b. Панель отображения содержит схему управления пикселями в отображающей области 100a и схему управления затвором в неотображающей области 100b. Схема управления затвором электрически подключена к первому выводу VSS напряжения и второму выводу VGL напряжения. Первый вывод VSS напряжения выполнен с возможностью выключения транзистора управления схемы управления пикселями, электрически подключенной к выходному выводу Gate(N) схемы управления затвором. Второй вывод VGL напряжения выполнен с возможностью выключения выходного транзистора T8 схемы управления затвором для устранения сдвига в напряжении затвора транзистора управления в схеме управления пикселями так, что надежность транзистора управления и устойчивость к отказам панели отображения могут быть увеличены.

Обратимся к фиг. 2A-2B и фиг. 3A-3C. Схема управления затвором содержит каскадные ступени подсхем, где подсхема n-й ступени из подсхем содержит: модуль 100 управления сканированием и модуль 200 управления подтягиванием к низкому уровню напряжения. Модуль 100 управления сканированием выполнен с возможностью выполнения прямого сканирования или обратного сканирования согласно сигналу управления сканированием. Модуль 200 управления подтягиванием к низкому уровню напряжения электрически подключен к модулю 100 управления сканированием и выполнен с возможностью управления рабочим состоянием модуля 300 подтягивания к низкому уровню напряжения согласно модулю управления сканированием.

Модуль 300 подтягивания к низкому уровню напряжения электрически подключен к модулю 200 управления подтягиванием к низкому уровню напряжения и модулю 400 вывода и электрически подключен к первому выводу VSS напряжения и второму выводу VGL напряжения. Модуль 300 подтягивания к низкому уровню напряжения выполнен с возможностью, в состоянии S4 сброса, использования второго вывода VGL напряжения для выключения выходного транзистора T8 модуля 400 вывода и подключения первого вывода VSS напряжения к выходному выводу Gate(N) модуля 400 вывода для подтягивания к низкому уровню напряжения выходного вывода Gate(N) модуля 400 вывода так, чтобы транзистор управления схемы управления пикселями выключался. Модуль 400 вывода электрически подключен к модулю 100 управления сканированием и модулю 300 подтягивания к низкому уровню напряжения. Модуль 400 вывода принимает тактовый сигнал CK(N) n-й ступени, и модуль 400 вывода выполнен с возможностью вывода сигнала управления затвором.

Благодаря использованию модуля 300 подтягивания к низкому уровню напряжения, чтобы в состоянии S4 сброса подключить выходной вывод Gate(N) модуля 400 вывода к первому выводу VSS напряжения для подтягивания к низкому уровню напряжения выходного вывода Gate(N) модуля 400 вывода, регулируется напряжение затвора транзистора управления в схеме управления пикселями в отображающей области. Это устраняет проблему сдвига порогового напряжения, вызванную смещением транзистора управления на длительное время. Таким образом, надежность транзистора управления повышается, и предотвращается дополнительное влияние на схему управления затвором.

В этом варианте осуществления первый вывод VSS напряжения может быть отмодулирован посредством центрального пульта управления. Уровень напряжения первого вывода VSS напряжения может быть обеспечен благодаря испытанию на надежность так, что может быть получен уровень напряжения для выключения транзистора управления.

Транзисторы в схеме управления пикселями в отображающей области представляют собой полевые транзисторы (FET). Кроме того, транзисторы в схеме управления пикселями в отображающей области могут представлять собой тонкопленочные транзисторы (TFT). Дополнительно транзисторы в схеме управления пикселями в отображающей области представляют собой оксидные TFT.

Согласно варианту осуществления настоящего изобретения раскрыт способ управления затвором для управления вышеупомянутой схемой управления затвором. Способ управления затвором включает следующее.

В состоянии S1 входа сигнал управления сканированием, электрически связанный с модулем 100 управления сканированием в схеме управления затвором, обеспечивает работу модуля 400 вывода и модуля 200 управления подтягиванием к низкому уровню напряжения так, чтобы модуль 200 управления подтягиванием к низкому уровню напряжения поддерживал модуль 300 подтягивания к низкому уровню напряжения в "отключенном" состоянии, и тактовый сигнал CK(N) n-й ступени записывался в выходной вывод Gate(N) модуля 400 вывода.

В состоянии S2 выхода тактовый сигнал CK(N) n-й ступени обеспечивает наличие в модуле вывода эффекта самозагрузки так, что выходной вывод Gate(N) модуля 400 вывода выводит сигнал управления затвором, и сигнал управления затвором запускает работу транзистора управления схемы управления пикселями.

В состоянии S3 подтягивания к низкому уровню напряжения модуль 400 вывода поддерживает работу так, что тактовый сигнал n-й ступени записывается в выходной вывод Gate(N) модуля 400 вывода благодаря взаимодействию модуля 200 управления подтягиванием к низкому уровню напряжения и тактового сигнала CK(N) n-й ступени.

В состоянии S4 сброса сигнал управления сканированием обеспечивает работу модуля 200 управления подтягиванием к низкому уровню напряжения. Модуль 200 управления подтягиванием к низкому уровню напряжения управляет нахождением модуля подтягивания к низкому уровню напряжения в рабочем состоянии. Второй вывод VGL напряжения выключает выходной транзистор T8 в модуле 400 вывода. Выходной вывод Gate(N) модуля 400 вывода электрически подключен к первому выводу VSS напряжения, и транзистор управления выключен.

Обратимся далее к фиг. 2А-2В и фиг. 3А-3С. Модуль 300 подтягивания к низкому уровню напряжения содержит подтягивающий к низкому уровню напряжения транзистор T11, транзистор T12 сброса и первый накопительный конденсатор C1.

Затвор подтягивающего к низкому уровню напряжения транзистора T11 электрически подключен к модулю 200 управления подтягиванием к низкому уровню напряжения. Первый электрод подтягивающего к низкому уровню напряжения транзистора T11 электрически подключен к модулю 400 вывода. Второй электрод подтягивающего к низкому уровню напряжения транзистора T11 принимает второй вывод VGL напряжения. Подтягивающий к низкому уровню напряжения транзистор T11 выполнен с возможностью выключения выходного транзистора T8 в состоянии S4 сброса для остановки записывания тактового сигнала CK(N) n-й ступени в выходной вывод Gate(N) модуля 400 вывода.

Затвор транзистора T12 сброса электрически подключен к затвору подтягивающего к низкому уровню напряжения транзистора T11. Первый электрод транзистора T12 сброса электрически подключен к выходному выводу Gate(N) модуля 400 вывода. Второй электрод транзистора T12 сброса электрически подключен к первому выводу VSS напряжения. Транзистор T12 сброса выполнен с возможностью, в состоянии S4 сброса, подтягивания к низкому уровню напряжения выходного вывода Gate(N) модуля 400 вывода так, чтобы транзистор управления схемой управления пикселями выключился.

Один конец первого накопительного конденсатора C1 электрически подключен к затвору подтягивающего к низкому уровню напряжения транзистора T11. Другой конец первого накопительного конденсатора C1 принимает второй вывод VGL напряжения. Первый накопительный конденсатор C1 выполнен с возможностью поддержания напряжений затвора подтягивающего к низкому уровню напряжения транзистора и транзистора сброса.

Модуль 200 управления подтягиванием к низкому уровню напряжения содержит первый транзистор T1 и второй транзистор T2.

Затвор первого транзистора T1 электрически подключен к модулю 100 управления сканированием. Первый электрод первого транзистора T1 электрически подключен к третьему выводу VGH напряжения. Второй электрод первого транзистора T1 электрически подключен к затвору подтягивающего к низкому уровню напряжения транзистора T11. Первый транзистор T1 выполнен с возможностью, в состоянии S4 сброса, обеспечения работы модуля 300 подтягивания к низкому уровню напряжения.

Затвор второго транзистора T2 электрически подключен к первому электроду подтягивающего к низкому уровню напряжения транзистора T11. Первый электрод второго транзистора T2 электрически подключен ко второму электроду первого транзистора T1. Второй электрод второго транзистора T2 электрически подключен ко второму выводу VGL напряжения. Второй транзистор T2 выполнен с возможностью, в состоянии S1 входа, состоянии S2 выхода и состоянии S3 подтягивания к низкому уровню напряжения, поддержания модуля подтягивания к низкому уровню напряжения выключенным так, чтобы тактовый сигнал n-й ступени записывался в выходной вывод Gate(N) модуля 400 вывода.

Сигнал управления сканированием содержит сигнал U2D управления прямым сканированием и сигнал D2U управления обратным сканированием. Модуль 100 управления сканированием содержит третий транзистор T3, четвертый транзистор T4, пятый транзистор T5 и шестой транзистор T6.

Затвор третьего транзистора T3 принимает сигнал Gate(N-2) управления затвором ступени (n-2). Первый электрод третьего транзистора T3 принимает сигнал U2D управления прямым сканированием. Второй электрод третьего транзистора T3 электрически подключен к затвору второго транзистора T2. Третий транзистор T3 выполнен с возможностью обеспечения, в состоянии S1 входа, работы модуля 200 управления подтягиванием к низкому уровню напряжения и модуля 400 вывода так, чтобы тактовый сигнал n-й ступени записывался в выходной вывод Gate(N) модуля 400 вывода.

Затвор четвертого транзистора T4 электрически связан с сигналом Gate(N+2) управления затвором ступени (n+2). Первый электрод четвертого транзистора T4 электрически подключен ко второму электроду третьего транзистора T3. Второй электрод четвертого транзистора T4 принимает сигнал D2U управления обратным сканированием. Третий транзистор T3 выполнен с возможностью обеспечения, в состоянии S4 сброса, управления модулем 200 управления подтягиванием к низкому уровню напряжения работы модуля 300 подтягивания к низкому уровню напряжения.

Затвор пятого транзистора T5 принимает сигнал U2D управления прямым сканированием. Первый электрод пятого транзистора T5 принимает тактовый сигнал CK(N+2) ступени (n+2). Второй электрод пятого транзистора T5 электрически подключен к затвору первого транзистора T1.

Затвор шестого транзистора T6 принимает сигнал D2U управления обратным сканированием. Первый электрод шестого транзистора T6 принимает тактовый сигнал CK(N-2) ступени (n-2). Второй электрод шестого транзистора T6 электрически подключен ко второму электроду пятого транзистора T5.

Модуль 400 вывода содержит седьмой транзистор T7, выходной транзистор T8 и второй накопительный конденсатор C2.

Затвор седьмого транзистора T7 принимает третий вывод VGH напряжения. Первый электрод седьмого транзистора T7 электрически подключен ко второму электроду третьего транзистора T3.

Затвор выходного транзистора T8 электрически подключен ко второму электроду седьмого транзистора T7. Первый электрод выходного транзистора T8 принимает тактовый сигнал СК(N) n-й ступени. Второй электрод выходного транзистора T8 электрически подключен к первому электроду транзистора T12 сброса.

Один конец второго накопительного конденсатора C2 электрически подключен к первому электроду седьмого транзистора T7, а другой конец второго накопительного конденсатора C2 электрически подключен ко второму выводу VGL напряжения. Второй накопительный конденсатор выполнен с возможностью поддержания выходного транзистора T8 включенным в состоянии S1 входа, состоянии S2 выхода и состоянии S3 подтягивания к низкому уровню напряжения так, чтобы тактовый сигнал СК(N) n-й ступени записывался в выходной вывод Gate(N) модуля 400 вывода.

В этом варианте осуществления первый вывод VSS напряжения представляет собой источник низкого напряжения DC, второй вывод VGL напряжения представляет собой источник низкого напряжения DC, и третий вывод VGL напряжения представляет собой источник высокого напряжения DC.

Транзисторы в схеме управления затвором в отображающей области представляют собой полевые транзисторы (FET). Кроме того, транзисторы в схеме управления затвором в отображающей области могут представлять собой тонкопленочные транзисторы (TFT). Дополнительно транзисторы в схеме управления затвором в отображающей области представляют собой TFT LTPS. Для того чтобы различать исток со стоком в транзисторе, первый электрод может рассматриваться как один из истока и стока, а второй электрод может рассматриваться как другой из истока и стока.

Обратимся далее к фиг. 3A-3C. В этом варианте осуществления транзисторы в схеме управления затвором представляют собой транзисторы N-типа. Сигнал U2D управления прямым сканированием соответствует высокому уровню напряжения. Сигнал управления обратным сканированием D2D соответствует низкому уровню напряжения. Первый вывод VSS напряжения представляет собой источник низкого напряжения DC. Второй вывод VGL напряжения представляет собой источник низкого напряжения DC. Третий вывод VGH напряжения представляет собой источник высокого напряжения DC. Работа схемы управления затвором предусматривает следующее.

В состоянии S1 входа:

Когда сигнал Gate(N-2) управления затвором ступени (n-2) соответствует высокому уровню напряжения, третий транзистор T3 модуля 100 управления сканированием включается, и второй транзистор T2 модуля 200 управления подтягиванием к низкому уровню напряжения включается. В то же время седьмой транзистор T7 в модуле 400 вывода включен, поскольку третий вывод VGH напряжения представляет собой источник высокого напряжения DC. Сигнал U2D управления прямым сканированием записывается в первый электрод седьмого транзистора T7 и переносится во второй накопительный конденсатор C2 так, что сигнал U2D управления прямым сканированием записывается в первый электрод и второй электрод (узлы Q1 и Q2) седьмого транзистора T7. Выходной транзистор T8 включен. Тактовый сигнал СК(N) n-й ступени записывается в выходной вывод Gate(N) модуля 400 вывода. Второй транзистор T2 модуля 200 управления подтягиванием к низкому уровню напряжения включается так, что сигнал со второго вывода VGL напряжения записывается в затворы подтягивающего к низкому уровню напряжения транзистора T11 и транзистора T12 сброса в модуле 300 подтягивания к низкому уровню напряжения, и, таким образом, подтягивающий к низкому уровню напряжения транзистор T11 и транзистор T12 сброса выключаются.

Когда сигнал Gate(N-2) управления затвором ступени (n-2) соответствует низкому уровню напряжения, третий транзистор T3 модуля 100 управления сканированием выключен. Седьмой транзистор T7 в модуле 400 вывода остается включенным, поскольку третий вывод VGH напряжения представляет собой источник высокого напряжения DC. Уровни напряжения на узлах Q1 и Q2 поддерживаются благодаря зарядам, сохраненным во втором накопительном конденсаторе C2. Выходной транзистор T8 остается включенным. В то же время заряды, хранящиеся во втором накопительном конденсаторе C2, могут поддерживать второй транзистор T2 в модуле 200 управления подтягиванием к низкому уровню напряжения во "включенном" состоянии. Тактовый сигнал СК(N) n-й ступени поддерживает записывание в выходной вывод Gate(N) модуля 400 вывода. Сигнал со второго вывода VGL напряжения поддерживает записывание в затворы подтягивающего к низкому уровню напряжения транзистора T11 и транзистора T12 сброса в модуле 300 подтягивания к низкому уровню напряжения, и, таким образом, подтягивающий к низкому уровню напряжения транзистор T11 и транзистор T12 сброса выключается.

В состоянии S2 выхода:

Благодаря поддержанию зарядами, хранящимися во втором накопительном конденсаторе C2, уровней напряжения на узлах Q1 и Q2, выходной транзистор T8 остается включенным. В то же время заряды, хранящиеся во втором накопительном конденсаторе C2, поддерживают уровни напряжения на узлах Q1 и Q2, а также поддерживают нахождение второго транзистора T2 во "включенном" состоянии.

Сигнал со второго вывода VGL напряжения поддерживает записывание в затворы подтягивающего к низкому уровню напряжения транзистора T11 и транзистора T12 сброса в модуле 300 подтягивания к низкому уровню напряжения, так что подтягивающий к низкому уровню напряжения транзистор T11 и транзистор T12 сброса выключается. Выходной транзистор T8 остается включенным, так что затвор выходного транзистора T8 обладает эффектом самозагрузки, когда тактовый сигнал СК(N) n-й ступени соответствует высокому уровню напряжения. Таким образом, уровень напряжения на узле Q2 поднимается высоко до $2 \cdot V_{GH} - V_{GL}$. Выходной транзистор T8 подходящим образом включен. Тактовый сигнал СК(N) n-й ступени высокого уровня напряжения записывается в выходной вывод Gate(N) модуля 400 вывода так, чтобы сигнал управления затвором предоставлялся транзистору управления схемы управления пикселями в отображающей области.

В состоянии S3 подтягивания к низкому уровню напряжения:

Тактовый сигнал СК(N) n-й ступени переключается с высокого уровня напряжения на низкий уровень напряжения. Эффекта самозагрузки на затворе выходного транзистора T8 больше не существует. Заряды, хранящиеся во втором накопительном конденсаторе C2, продолжают поддерживать уровни напряжения на узлах Q1 и Q2. Выходной транзистор T8 остается включенным. Второй транзистор T2 в модуле 200 управления подтягиванием к низкому уровню напряжения остается включенным. Подтягивающий к низкому уровню напряжения транзистор T11 и транзистор T12 сброса в модуле 300 подтягивания к низкому уровню напряжения остаются выключенными. Тактовый сигнал СК(N) n-й ступени низкого уровня напряжения записывается в выходной вывод Gate(N) модуля 400 вывода.

В состоянии S4 сброса:

Когда сигнал Gate(N+2) управления затвором ступени (n+2) соответствует высокому уровню напряжения, четвертый транзистор T4 в модуле 100 управления сканированием включается. В то же время, поскольку тактовый сигнал СК(N+2) ступени (n+2) и тактовый сигнал СК(N-2) ступени (n-2) соответствуют высокому уровню напряжения, и сигнал U2D управления прямым сканированием соответствует высокому уровню напряжения, пятый транзистор T5 в модуле 100 управления сканированием включается. Четвертый транзистор T4 включен, так что сигнал D2U управления обратным сканированием, соответствующий низкому уровню напряжения, записывается в затвор второго транзистора T2 в модуле 200 управления подтягиванием к низкому уровню напряжения, и, таким образом, второй транзистор T2 выключен. Четвертый транзистор T4 включен, так что сигнал D2U управления обратным сканированием, соответствующий низкому уровню напряжения, записывается в первый электрод седьмого транзистора T7 в модуле 400 вывода. Пятый транзистор T5 включен, так что первый транзистор T1 в модуле 200 управления подтягиванием к низкому уровню напряжения включен. Затворы подтягивающего к низкому уровню напряжения транзистора T11 и транзистора T12 сброса в модуле 300 подтягивания к низкому уровню напряжения принимают третий вывод VGH напряжения, так что подтягивающий к низкому уровню напряжения транзистор T11 и транзистор T12 сброса включаются. Первый накопительный конденсатор C1 заряжается и поддерживает напряжения затвора подтягивающего к низкому уровню напряжения транзистора T11 и транзистора T12 сброса. Поскольку первый электрод и второй электрод (узлы Q1 и Q2) седьмого транзистора T7 в модуле 400 вывода принимают второй вывод VGL напряжения, выходной транзистор T8 выключен. Транзистор T12 сброса включен, так что выходной вывод Gate(N) модуля 400 вывода опускается вниз до того же уровня напряжения первого вывода VSS напряжения. Следовательно, сигнал управления затвором, выведенный из выходного вывода Gate(N) модуля 400 вывода, может регулировать напряжения затвора транзистора управления в схеме управления пикселями. Это может предотвращать смещение транзисторов в отображающей области на длительное время. Таким образом, это может устранить сдвиг порогового напряжения и повысить надежность транзистора управления и других транзисторов в схеме управления пикселями.

Затвор третьего транзистора T3 модуля 100 управления сканированием может принимать стартовый сигнал STV вместо сигнала Gate(N-2) управления затвором ступени (n-2). Когда затвор третьего транзистора T3 принимает стартовый сигнал STV, работа третьего транзистора T3 подобна вышеупомянутому третьему транзистору T3, когда он принимает сигнал Gate(N-2) управления затвором ступени (n-2). Следовательно, дополнительные иллюстрации в данном случае опускаются.

Обратимся к фиг. 2В и фиг. 3В. Схема управления затвором дополнительно содержит модуль 500 скрытого сканирования. Модуль 500 скрытого сканирования электрически подключен к модулю 300 подтягивания к низкому уровню напряжения и модулю 400 вывода. Модуль 500 скрытого сканирования выполнен с возможностью приема сигнала GAS управления скрытым сканированием для выполнения операции скрытого сканирования на экране отображения в момент времени, когда панель отображения выключена.

Модуль 500 скрытого сканирования содержит девятый транзистор T9 и десятый транзистор T10. Затвор девятого транзистора T9 принимает сигнал GAS управления скрытым сканированием. Первый электрод девятого транзистора T9 электрически подключен к модулю 300 подтягивания к низкому уровню напряжения. Второй электрод девятого транзистора T9 электрически подключен ко второму выводу VGL напряжения.

Затвор и первый электрод десятого транзистора T10 электрически подключены к затвору девятого

транзистора Т9. Второй электрод десятого транзистора Т10 электрически подключен к выходному выводу Gate(N) модуля 400 вывода.

Кроме того, первый электрод девятого транзистора Т9 электрически подключен к затвору транзистора Т12 сброса модуля 300 подтягивания к низкому уровню напряжения. Второй электрод десятого транзистора Т10 электрически подключен ко второму электроду выходного транзистора Т8 модуля 400 вывода.

В момент времени, когда устройство отображения выключено, сигнал GAS управления скрытым сканированием соответствует высокому уровню напряжения, другие сигналы входа (такие как тактовый сигнал СК(N-2) ступени (n-2), сигнал U2D управления прямым сканированием и т. п.) соответствуют низкому уровню напряжения. Девятый транзистор Т9 и десятый транзистор Т10 в модуле 500 скрытого сканирования включены. Сигнал управления затвором, выведенный из выходного вывода Gate(N) модуля 400 вывода, выполняет операцию скрытого сканирования на панели отображения.

В этом варианте осуществления в схеме управления затвором, показанной на фиг. 3А-3В, транзисторы представляют собой транзисторы N-типа. Однако это только пример, а не ограничение настоящего изобретения. Транзисторы N-типа могут заменяться транзисторами P-типа, и соответствующие сигналы могут заменяться их преобразованными сигналами. Специалист в данной области техники может понять эту реализацию, и, таким образом, дополнительная иллюстрация в данном случае опускается.

Обратимся к фиг. 4. На фиг. 4 представлено изображение схемы управления затвором согласно варианту осуществления настоящего изобретения. Как показано на фиг. 4, раскрыта схема управления затвором. Схема управления затвором содержит каскадные подсхемы. Подсхема n-й ступени в каскадных подсхемах содержит первый транзистор Т1, второй транзистор Т2, третий транзистор Т3, четвертый транзистор Т4, пятый транзистор Т5, шестой транзистор Т6, седьмой транзистор Т7, восьмой транзистор Т8, девятый транзистор Т9, десятый транзистор Т10, одиннадцатый транзистор Т11, двенадцатый транзистор Т12, первый накопительный конденсатор С1 и второй накопительный конденсатор С2.

Сток D1 первого транзистора Т1 принимает третий вывод VGH напряжения.

Сток D2 второго транзистора Т2 электрически подключен к истоку S1 первого транзистора Т1. Исток S2 второго транзистора Т2 принимает второй вывод VGL напряжения.

Затвор третьего транзистора Т3 принимает сигнал Gate(N-2) управления затвором ступени (n-2) или стартовый сигнал STV. Сток D3 третьего транзистора Т3 принимает сигнал U2D управления прямым сканированием. Исток S3 третьего транзистора Т3 электрически подключен к затвору второго транзистора Т2.

Затвор четвертого транзистора Т4 принимает сигнал Gate(N+2) управления затвором ступени (n+2). Сток D4 четвертого транзистора Т4 электрически подключен к истоку S3 третьего транзистора Т3. Исток S4 четвертого транзистора Т4 принимает сигнал D2U управления обратным сканированием.

Затвор пятого транзистора Т5 принимает сигнал U2D управления прямым сканированием. Сток D5 пятого транзистора Т5 принимает тактовый сигнал СК(N+2) ступени (n+2). Исток S5 пятого транзистора Т5 электрически подключен к затвору первого транзистора Т1.

Затвор шестого транзистора Т6 принимает сигнал D2U управления обратным сканированием. Сток D6 шестого транзистора Т6 принимает тактовый сигнал СК(N-2) ступени (n-2). Исток S6 шестого транзистора Т6 электрически подключен к истоку S5 пятого транзистора Т5.

Затвор седьмого транзистора Т7 принимает третий вывод VGH напряжения. Сток D7 седьмого транзистора Т7 электрически подключен к истоку S3 третьего транзистора Т3.

Затвор восьмого транзистора Т8 электрически подключен к истоку S7 седьмого транзистора Т7. Сток D8 восьмого транзистора Т8 принимает тактовый сигнал СК(N) n-й ступени.

Затвор девятого транзистора Т9 принимает сигнал GAS управления скрытым сканированием. Исток S9 девятого транзистора Т9 принимает второй вывод VGL напряжения.

Затвор и сток D10 десятого транзистора Т10 электрически подключены к затвору девятого транзистора Т9. Исток S10 десятого транзистора Т10 электрически подключен к истоку S8 восьмого транзистора Т8.

Затвор одиннадцатого транзистора Т11 электрически подключен к стоку D9 девятого транзистора Т9 и истоку S1 первого транзистора Т1. Сток D11 одиннадцатого транзистора Т11 электрически подключен к стоку D7 седьмого транзистора Т7. Исток S11 одиннадцатого транзистора Т11 принимает второй вывод VGL напряжения.

Затвор двенадцатого транзистора Т12 электрически подключен к затвору одиннадцатого транзистора Т11. Сток D12 двенадцатого транзистора Т12 электрически подключен к истоку S8 восьмого транзистора Т8. Исток S12 двенадцатого транзистора Т12 принимает первый вывод VSS напряжения.

Один конец первого накопительного конденсатора С1 электрически подключен к затвору одиннадцатого транзистора Т11. Другой конец первого накопительного конденсатора С1 принимает второй вывод VGL напряжения.

Один конец второго накопительного конденсатора С2 электрически подключен к стоку D7 седьмого транзистора Т7. Другой конец второго накопительного конденсатора С2 принимает второй вывод

VGL напряжения.

В этом варианте осуществления проиллюстрирована только подсхема n-й ступени, поскольку другие ступени подсхем подобные. Таким образом, дополнительные иллюстрации в данном случае опускаются.

Согласно варианту осуществления настоящего изобретения раскрывается устройство отображения. Устройство отображения содержит вышеупомянутую панель отображения.

Устройство отображения может представлять собой LCD, гибкое устройство отображения, и т. п. Кроме того, схема управления затвором может использоваться в устройстве отображения с высоким разрешением. Дополнительно гибкое устройство отображения содержит светоизлучающие устройства. Кроме того, светоизлучающие устройства включают OLED, мини-LED и/или микро-LED.

В частности, устройство отображения может представлять собой мобильное устройство отображения или переносимое устройство отображения, такое как сотовый телефон, ноутбук, настольный компьютер, наручный браслет, обучающая машина и т. п.

В устройстве отображения схема управления затвором используется для управления транзистором управления в схеме управления пикселями. Она может предотвращать смещение транзистора управления на длительное время и устранять сдвиг порогового напряжения транзистора управления. Она также может повысить надежность транзисторов в отображающей области. Кроме того, поскольку первый вывод VSS напряжения может быть настроен согласно фактическим потребностям, напряжения смещения транзисторов в отображающей области могут быть отрегулированы так, чтобы повышалась устойчивость к отказам устройства отображения.

Настоящее изобретение предоставляет панель отображения, способ управления затвором и устройство отображения. Панель отображения содержит отображающую область 100a и неотображающую область 100b. Панель отображения содержит схему управления пикселями в отображающей области 100a и схему управления затвором в неотображающей области 100b. Схема управления затвором электрически подключена к первому выводу VSS напряжения и второму выводу VSS напряжения. Первый вывод VSS напряжения используется для выключения транзистора управления в сигнале управления пикселями, связанном с выходным выводом Gate(N) схемы управления затвором. Второй вывод VGL напряжения используется для выключения выходного транзистора T8 схемы управления затвором для устранения сдвига порогового напряжения транзистора управления в схеме управления пикселями и повышения надежности транзистора управления и устойчивости к отказам панели отображения.

В представленных вариантах осуществления каждый вариант осуществления может характеризоваться своим собственным объектом внимания. Следовательно, если в одном варианте осуществления не иллюстрируется что-то подробно, специалист в данной области техники может сослаться на другой вариант осуществления для понимания настоящего изобретения.

Выше представлены варианты осуществления настоящего изобретения, которые не ограничивают объем настоящего изобретения. Любые модификации, эквивалентные замены или улучшения в пределах идеи и принципов варианта осуществления, описанного выше, должны попадать в рамки объема охраны настоящего изобретения.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Панель отображения, содержащая:
 - схему управления пикселями в отображающей области; и
 - схему управления затвором в неотображающей области, содержащую: каскадные ступени подсхем, при этом подсхема n-й ступени из подсхем содержит:
 - модуль управления сканированием, выполненный с возможностью выполнения прямого сканирования или обратного сканирования согласно сигналу управления сканированием; и
 - модуль управления подтягиванием к низкому уровню напряжения, электрически подключенный к модулю управления сканированием, выполненный с возможностью управления рабочим состоянием модуля подтягивания к низкому уровню напряжения согласно модулю управления сканированием;
 - при этом схема управления затвором электрически подключена к первому выводу напряжения и второму выводу напряжения; первый вывод напряжения выполнен с возможностью выключения транзистора управления схемы управления пикселями, электрически подключенной к выходному выводу схемы управления затвором; и второй вывод напряжения выполнен с возможностью выключения выходного транзистора схемы управления затвором;
 - при этом модуль подтягивания к низкому уровню напряжения электрически подключен к модулю управления подтягиванием к низкому уровню напряжения и модулю вывода, модуль подтягивания к низкому уровню напряжения электрически подключен к первому выводу напряжения и второму выводу напряжения; модуль подтягивания к низкому уровню напряжения выполнен с возможностью, в состоянии сброса, использования второго вывода напряжения для выключения выходного транзистора модуля вывода и подключения первого вывода напряжения к выходному выводу модуля вывода для подтягивания к низкому уровню напряжения выходного вывода модуля вывода так, чтобы транзистор управления

схемы управления пикселями выключался; и

при этом модуль вывода электрически подключен к модулю управления сканированием и модулю подтягивания к низкому уровню напряжения; модуль вывода принимает тактовый сигнал n -й ступени; и модуль вывода выполнен с возможностью вывода сигнала управления затвором.

2. Панель отображения по п.1, отличающаяся тем, что модуль подтягивания к низкому уровню напряжения содержит:

подтягивающий к низкому уровню напряжения транзистор, имеющий затвор, электрически подключенный к модулю управления подтягиванием к низкому уровню напряжения, первый электрод, электрически подключенный к модулю вывода, и второй электрод, принимающий второй вывод напряжения, при этом подтягивающий к низкому уровню напряжения транзистор выполнен с возможностью выключения выходного транзистора в состоянии сброса для остановки записывания тактового сигнала n -й ступени в выходной вывод модуля вывода;

транзистор сброса, имеющий затвор, электрически подключенный к затвору подтягивающего к низкому уровню напряжения транзистора, первый электрод, электрически подключенный к выходному выводу модуля вывода, и второй электрод, электрически подключенный к первому выводу напряжения, при этом транзистор сброса выполнен с возможностью, в состоянии сброса, подтягивания к низкому уровню напряжения выходного вывода модуля вывода так, чтобы транзистор управления схемой управления пикселями выключался; и

первый накопительный конденсатор, электрически подключенный между подтягивающим к низкому уровню напряжения транзистором и вторым выводом напряжения, выполненный с возможностью поддержания напряжений затвора подтягивающего к низкому уровню напряжения транзистора и транзистора сброса.

3. Панель отображения по п.2, отличающаяся тем, что модуль управления подтягиванием к низкому уровню напряжения содержит:

первый транзистор, имеющий затвор, электрически подключенный к модулю управления сканированием, первый электрод, электрически подключенный к третьему выводу напряжения, и второй электрод, электрически подключенный к затвору подтягивающего к низкому уровню напряжения транзистора; первый транзистор выполнен с возможностью, в состоянии сброса, обеспечения работы модуля подтягивания к низкому уровню напряжения; и

второй транзистор, имеющий затвор, электрически подключенный к первому электроду подтягивающего к низкому уровню напряжения транзистора, первый электрод, электрически подключенный ко второму электроду первого транзистора, и второй электрод, электрически подключенный ко второму выводу напряжения; второй транзистор выполнен с возможностью, в состоянии входа, состоянии выхода и состоянии подтягивания к низкому уровню напряжения, поддержания модуля подтягивания к низкому уровню напряжения выключенным так, чтобы тактовый сигнал n -й ступени записывался в выходной вывод модуля вывода.

4. Панель отображения по п.3, отличающаяся тем, что сигнал управления сканированием содержит сигнал управления прямым сканированием и сигнал управления обратным сканированием и модуль управления сканированием содержит:

третий транзистор, имеющий затвор, принимающий стартовый сигнал или сигнал управления затвором ступени ($n-2$), первый электрод, принимающий сигнал управления прямым сканированием, и второй электрод, электрически подключенный к затвору второго транзистора; третий транзистор выполнен с возможностью обеспечения, в состоянии входа, работы модуля управления подтягиванием к низкому уровню напряжения и модуля вывода так, чтобы тактовый сигнал n -й ступени записывался в выходной вывод модуля вывода;

четвертый транзистор, имеющий затвор, электрически связанный с сигналом управления затвором ступени ($n+2$), первый электрод, электрически подключенный ко второму электроду третьего транзистора, и второй электрод, принимающий сигнал управления обратным сканированием; третий транзистор выполнен с возможностью обеспечения, в состоянии сброса, управления модулем управления подтягиванием к низкому уровню напряжения работы модуля подтягивания к низкому уровню напряжения;

пятый транзистор, имеющий затвор, принимающий сигнал управления прямым сканированием, первый электрод, принимающий тактовый сигнал ($n+2$), и второй электрод, электрически подключенный к затвору первого транзистора; и

шестой транзистор, имеющий затвор, принимающий сигнал управления обратным сканированием, первый электрод, принимающий тактовый сигнал ступени ($n-2$), и второй электрод, электрически подключенный ко второму электроду пятого транзистора.

5. Панель отображения по п.4, отличающаяся тем, что модуль вывода содержит:

седьмой транзистор, имеющий затвор, принимающий третий вывод напряжения, первый электрод, электрически подключенный ко второму электроду третьего транзистора, и второй электрод;

выходной транзистор, имеющий затвор, электрически подключенный ко второму электроду седьмого транзистора, первый электрод, принимающий тактовый сигнал n -й ступени, и второй электрод, электрически подключенный к первому электроду транзистора сброса; и

второй накопительный конденсатор, электрически подключенный между первым электродом седьмого транзистора и вторым выводом напряжения, выполненный с возможностью поддержания выходного транзистора включенным в состоянии входа, состоянии выхода и состоянии подтягивания к низкому уровню напряжения так, чтобы тактовый сигнал n-й ступени записывался в выходной вывод модуля вывода.

6. Панель отображения по п.1, отличающаяся тем, что схема управления затвором дополнительно содержит:

модуль скрытого сканирования, электрически подключенный к модулю подтягивания к низкому уровню напряжения и модулю вывода, выполненный с возможностью приема сигнала управления скрытым сканированием для выполнения операции скрытого сканирования на экране отображения в момент времени, когда панель отображения выключена.

7. Панель отображения по п.6, отличающаяся тем, что модуль скрытого сканирования содержит:

девятый транзистор, имеющий затвор, принимающий сигнал управления скрытым сканированием; первый электрод, электрически подключенный к модулю подтягивания к низкому уровню напряжения; и второй электрод, электрически подключенный ко второму выводу напряжения;

десятый транзистор, имеющий затвор, первый электрод, электрически подключенный к затвору девятого транзистора и затвору девятого транзистора; и второй электрод, электрически подключенный к выходному выводу модуля вывода.

8. Панель отображения по п.7, отличающаяся тем, что первый электрод девятого электрода электрически подключен к затвору транзистора сброса в модуле подтягивания к низкому уровню напряжения; и второй электрод десятого транзистора электрически подключен ко второму электроду выходного транзистора в модуле вывода.

9. Панель отображения по п.1, отличающаяся тем, что первый вывод напряжения представляет собой источник низкого напряжения постоянного тока, и второй вывод напряжения представляет собой источник высокого напряжения постоянного тока.

10. Панель отображения по п.3, отличающаяся тем, что третий вывод напряжения представляет собой источник высокого напряжения постоянного тока.

11. Панель отображения по п.4, отличающаяся тем, что сигнал управления прямым сканированием представляет собой сигнал высокого уровня напряжения, и сигнал управления обратным сканированием представляет собой сигнал низкого уровня напряжения.

12. Панель отображения по п.1, отличающаяся тем, что все транзисторы схемы управления пикселями представляют собой оксидные транзисторы, и все транзисторы схемы управления затвором представляют собой транзисторы на основе низкотемпературного поликристаллического кремния (LTPS).

13. Устройство отображения, содержащее панель отображения, при этом панель отображения содержит:

схему управления пикселями в отображающей области; и

схему управления затвором в неотображающей области, содержащую: каскадные ступени подсхем, при этом подсхема n-й ступени из подсхем содержит:

модуль управления сканированием, выполненный с возможностью выполнения прямого сканирования или обратного сканирования согласно сигналу управления сканированием; и

модуль управления подтягиванием к низкому уровню напряжения, электрически подключенный к модулю управления сканированием, выполненный с возможностью управления рабочим состоянием модуля подтягивания к низкому уровню напряжения согласно модулю управления сканированием;

при этом схема управления затвором электрически подключена к первому выводу напряжения и второму выводу напряжения; первый вывод напряжения выполнен с возможностью выключения транзистора управления схемы управления пикселями, электрически подключенной к выходному выводу схемы управления затвором; и второй вывод напряжения выполнен с возможностью выключения выходного транзистора схемы управления затвором;

при этом модуль подтягивания к низкому уровню напряжения электрически подключен к модулю управления подтягиванием к низкому уровню напряжения и модулю вывода, модуль подтягивания к низкому уровню напряжения электрически подключен к первому выводу напряжения и второму выводу напряжения; модуль подтягивания к низкому уровню напряжения выполнен с возможностью, в состоянии сброса, использования второго вывода напряжения для выключения выходного транзистора модуля вывода и подключения первого вывода напряжения к выходному выводу модуля вывода для подтягивания к низкому уровню напряжения выходного вывода модуля вывода так, чтобы транзистор управления схемы управления пикселями выключался; и

при этом модуль вывода электрически подключен к модулю управления сканированием и модулю подтягивания к низкому уровню напряжения; модуль вывода принимает тактовый сигнал n-й ступени; и модуль вывода выполнен с возможностью вывода сигнала управления затвором.

14. Устройство отображения по п.13, отличающееся тем, что модуль подтягивания к низкому уровню напряжения содержит:

подтягивающий к низкому уровню напряжения транзистор, имеющий затвор, электрически под-

ключенный к модулю управления подтягиванием к низкому уровню напряжения, первый электрод, электрически подключенный к модулю вывода, и второй электрод, принимающий второй вывод напряжения, при этом подтягивающий к низкому уровню напряжения транзистор выполнен с возможностью выключения выходного транзистора в состоянии сброса для остановки записывания тактового сигнала n-й ступени в выходной вывод модуля вывода;

транзистор сброса, имеющий затвор, электрически подключенный к затвору подтягивающего к низкому уровню напряжения транзистора, первый электрод, электрически подключенный к выходному выводу модуля вывода, и второй электрод, электрически подключенный к первому выводу напряжения, при этом транзистор сброса выполнен с возможностью, в состоянии сброса, подтягивания к низкому уровню напряжения выходного вывода модуля вывода так, чтобы транзистор управления схемой управления пикселями выключался; и

первый накопительный конденсатор, электрически подключенный между подтягивающим к низкому уровню напряжения транзистором и вторым выводом напряжения, выполненный с возможностью поддержания напряжений затвора подтягивающего к низкому уровню напряжения транзистора и транзистора сброса.

15. Устройство отображения по п.14, отличающееся тем, что модуль управления подтягиванием к низкому уровню напряжения содержит:

первый транзистор, имеющий затвор, электрически подключенный к модулю управления сканированием, первый электрод, электрически подключенный к третьему выводу напряжения, и второй электрод, электрически подключенный к затвору подтягивающего к низкому уровню напряжения транзистора; первый транзистор выполнен с возможностью, в состоянии сброса, обеспечения работы модуля подтягивания к низкому уровню напряжения; и

второй транзистор, имеющий затвор, электрически подключенный к первому электроду подтягивающего к низкому уровню напряжения транзистора, первый электрод, электрически подключенный ко второму электроду первого транзистора, и второй электрод, электрически подключенный ко второму выводу напряжения; второй транзистор выполнен с возможностью, в состоянии входа, состоянии выхода и состоянии подтягивания к низкому уровню напряжения, поддержания модуля подтягивания к низкому уровню напряжения выключенным так, чтобы тактовый сигнал n-й ступени записывался в выходной вывод модуля вывода.

16. Устройство отображения по п.15, отличающееся тем, что сигнал управления сканированием содержит сигнал управления прямым сканированием и сигнал управления обратным сканированием, и модуль управления сканированием содержит:

третий транзистор, имеющий затвор, принимающий стартовый сигнал или сигнал управления затвором ступени (n-2), первый электрод, принимающий сигнал управления прямым сканированием, и второй электрод, электрически подключенный к затвору второго транзистора; третий транзистор выполнен с возможностью обеспечения, в состоянии входа, работы модуля управления подтягиванием к низкому уровню напряжения и модуля вывода так, чтобы тактовый сигнал n-й ступени записывался в выходной вывод модуля вывода;

четвертый транзистор, имеющий затвор, электрически связанный с сигналом управления затвором ступени (n+2), первый электрод, электрически подключенный ко второму электроду третьего транзистора, и второй электрод, принимающий сигнал управления обратным сканированием; третий транзистор выполнен с возможностью обеспечения, в состоянии сброса, управления модулем управления подтягиванием к низкому уровню напряжения работы модуля подтягивания к низкому уровню напряжения;

пятый транзистор, имеющий затвор, принимающий сигнал управления прямым сканированием, первый электрод, принимающий тактовый сигнал (n+2), и второй электрод, электрически подключенный к затвору первого транзистора; и

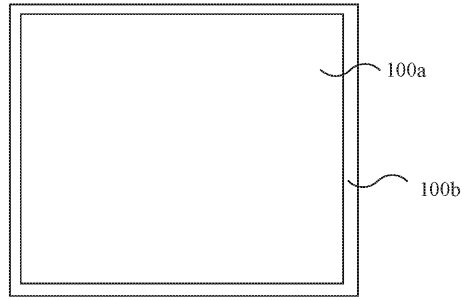
шестой транзистор, имеющий затвор, принимающий сигнал управления обратным сканированием, первый электрод, принимающий тактовый сигнал ступени (n-2), и второй электрод, электрически подключенный ко второму электроду пятого транзистора.

17. Устройство отображения по п.16, отличающееся тем, что модуль вывода содержит:

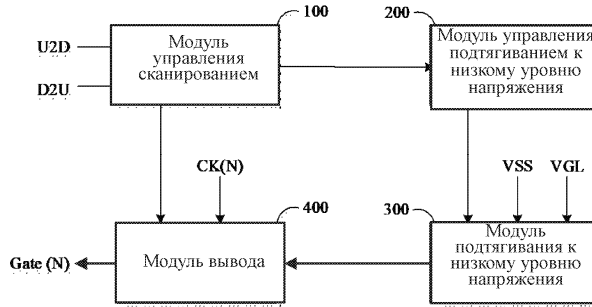
седьмой транзистор, имеющий затвор, принимающий третий вывод напряжения, первый электрод, электрически подключенный ко второму электроду третьего транзистора, и второй электрод;

выходной транзистор, имеющий затвор, электрически подключенный ко второму электроду седьмого транзистора, первый электрод, принимающий тактовый сигнал n-й ступени, и второй электрод, электрически подключенный к первому электроду транзистора сброса; и

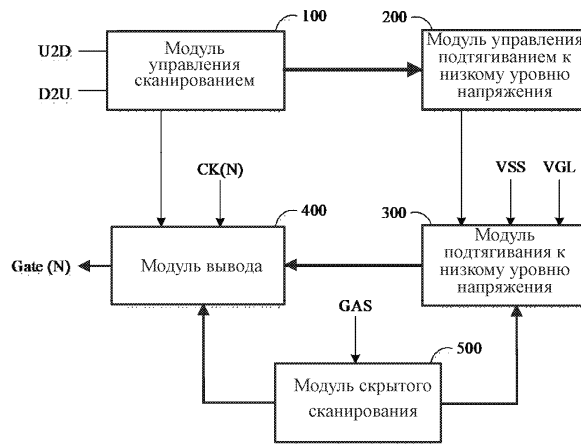
второй накопительный конденсатор, электрически подключенный между первым электродом седьмого транзистора и вторым выводом напряжения, выполненный с возможностью поддержания выходного транзистора включенным в состоянии входа, состоянии выхода и состоянии подтягивания к низкому уровню напряжения так, чтобы тактовый сигнал n-й ступени записывался в выходной вывод модуля вывода.



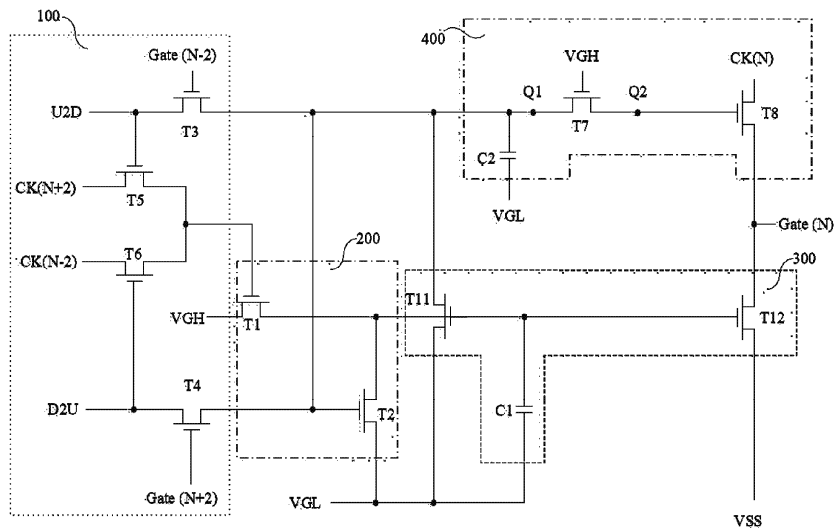
Фиг. 1



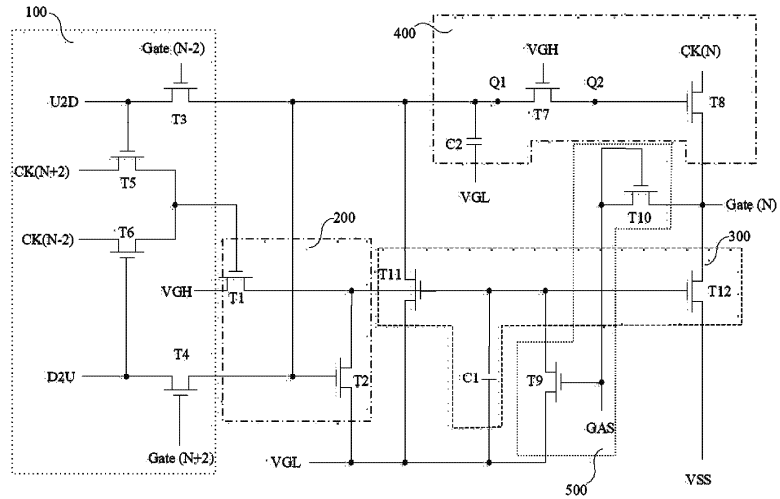
Фиг. 2A



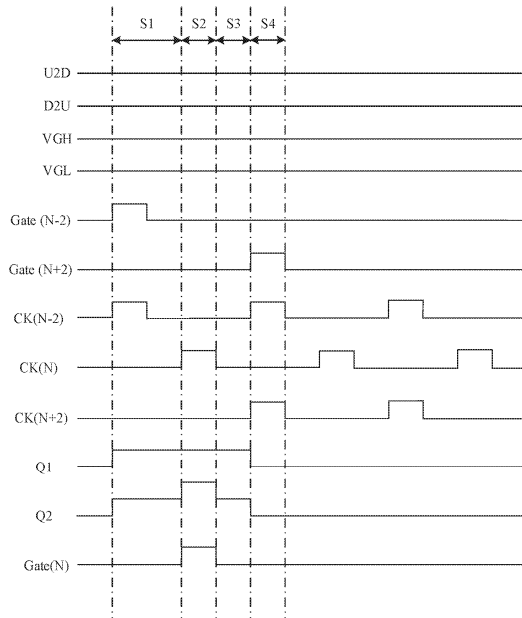
Фиг. 2B



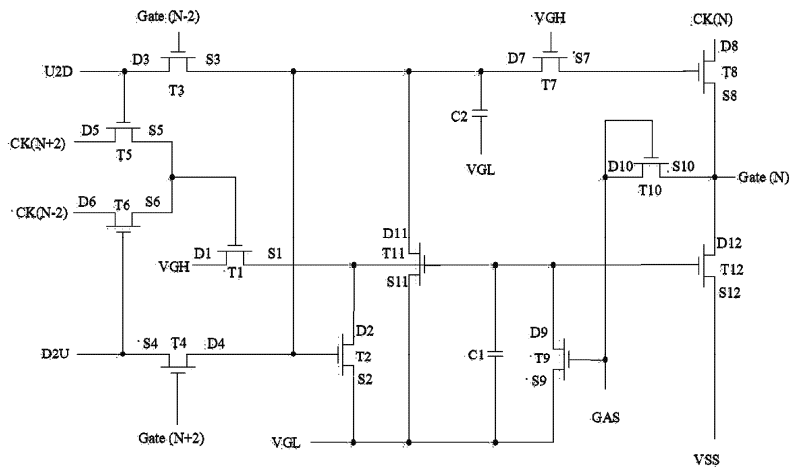
Фиг. 3A



Фиг. 3B



Фиг. 3C



Фиг. 4