

(19)



**Евразийское  
патентное  
ведомство**

(11) **044872**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента  
**2023.10.09**

(51) Int. Cl. **H03K 3/012** (2006.01)

(21) Номер заявки  
**202390575**

(22) Дата подачи заявки  
**2019.05.07**

---

(54) **D-ТРИГГЕР С ДИНАМИЧЕСКИМ УПРАВЛЕНИЕМ, БЛОК ОБРАБОТКИ ДАННЫХ, МИКРОСХЕМА, ПЛАТА ХЭШИРОВАНИЯ И ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО**

---

(31) **201810667322.X; 201810667321.5;  
201810667040.X; 201810667038.2;  
201810667264.0**

(56) **US-A1-2010156494  
CN-A-107528566  
RU-C1-2542575  
SU-281541**

(32) **2018.06.25**

(33) **CN**

(43) **2023.04.28**

(62) **202290752; 2019.05.07**

(71)(73) Заявитель и патентовладелец:  
**КАНААН КРЕАТИВ КО., ЛТД. (CN)**

(72) Изобретатель:  
**Лю Цзеяо, Чжан Нанэн, Ву Цзинцзе,  
Ма Шэнхоу (CN)**

(74) Представитель:  
**Ловцов С.В., Вилесов А.С., Гавриков  
К.В., Коптева Т.В., Левчук Д.В.,  
Стукалова В.В. (RU)**

---

(57) В изобретении предложен D-триггер с динамическим управлением, а также блок обработки данных, микросхема, платы хэширования и вычислительное устройство с его использованием. D-Триггер с динамическим управлением содержит входной вывод, выходной вывод и по меньшей мере один вывод сигнала синхронизации; блок первой защелки для передачи данных с входного вывода и сохранения данных под управлением сигнала синхронизации; блок второй защелки для сохранения данных для выходного вывода и передачи с инвертированием данных, хранящихся в блоке первой защелки, под управлением сигнала синхронизации; и выходной буферный блок для инвертирования и вывода данных, полученных с блока второй защелки; причем выход блока второй защелки может принимать состояния с высоким уровнем, низким уровнем и высоким выходным импедансом с помощью единственного элемента под управлением сигналом синхронизации. Следовательно, изобретение может эффективно уменьшить занимаемую на микросхеме площадь, потребляемую мощность и задержку срабатывания логики.

---

**B1**

**044872**

**044872**

**B1**

Настоящая заявка является выделенной заявкой из евразийской заявки на выдачу патента № ЕА202290752, поданной 31 марта 2022 г., в которой испрашивается приоритет в соответствии с предварительными заявками на выдачу патента №№ 201810667322.X, 201810667321.5, 201810667040.X, 201810667038.2, 201810667264.0, поданной в Китайской Народной Республике 2 июня 2018 г., согласно § 119(a) тома 35 кодекса законов США, которые ссылкой полностью включены в настоящий документ.

### **Предпосылки создания изобретения**

#### 1. Область техники.

Это изобретение относится к запоминающему устройству, управляемому синхроимпульсами, а конкретно, к D-триггеру с динамическим управлением, а также к блоку обработки данных, микросхеме, плате хэширования и вычислительному устройству с его использованием.

#### 2. Уровень техники.

Виртуальная валюта (например, BTC, ETH) является цифровой валютой формата клиент-клиент и после запуска системы BTC в 2009 г. к виртуальной валюте было привлечено большое внимание. Система создает распределенный общий бухгалтерский регистр общего пользования, основанный на блочной цепи, это обеспечивает безопасность, надежность и децентрализацию работы системы.

В терминах операции хэширования и доказательства выполнения работы BTC является единственным правильным хэш-кодом, полученным вычислениями для подтверждения доказательства выполнения работы, при этом определяется вес блока пакета бухгалтерского регистра, так что вознаграждение получено и это является доказательством выполнения работы (Pow).

В настоящее время, кроме метода вычисления подбором, все еще нет эффективного алгоритма для операции хэширования. Майнинг BTC начинался на недорогой аппаратуре в виде ЦП и графических процессоров, но с ростом числа BTC процесс майнинга претерпел значительное изменение. Сейчас операции майнинга перенесены на программируемую пользователем вентильную матрицу (FPGA) или интегральную схему специального назначения (ASIC), и эффективность работы таких микросхем FPGA и ASIC в режиме майнинга очень высокая.

D-Триггеры нашли очень широкое применение, и их можно применять для создания регистров, регистров сдвига, делителей частоты и генераторов цифровых сигналов специальной формы. У D-триггера есть два входа, вход данных (Data) и вход синхронизации (CLK), и один выход (Q), и данные можно записывать в D-триггер и считывать из него.

В CN1883116A раскрыта схема 106 D-триггера с положительной обратной связью, показанная на фиг. 1, причем схема 106 D-триггера с положительной обратной связью содержит аналоговый ключ 300, инвертор 302, аналоговый ключ 304, инвертор 306, инвертор 308, аналоговый ключ 310, инвертор 312 и аналоговый ключ 314. Аналоговые ключи 300, 304, 310 и 314 являются аналоговыми ключами, использующими P-канальные и N-канальные транзисторы и выполняющими операции переключения по сигналу CLKP, фаза которого такая же, как у сигнала CLK, и по сигналу CLKN, фаза которого противоположная. Инверторы 302, 306, 308 и 312 являются КМОП-инверторами. Как можно видеть, для традиционного D-триггера необходимо в общей сложности шестнадцать транзисторов P-МОП/N-МОП, которые занимают большую площадь.

Поскольку в вычислительном устройстве нового поколения для майнинга виртуальной цифровой валюты процесс майнинга проводится на производственной линии, выполняющей большое количество повторяющихся логических вычислительных операций, для хранения данных требуется несколько D-триггеров. Следовательно, в вычислительном устройстве с большим количеством D-триггеров имеются недостатки в виде увеличенной площади микросхемы, медленной скорости работы и трудности снижения электрического тока утечки.

В CN1883116A дополнительно раскрыта схема 102 D-триггера с динамическим управлением, показанная на фиг. 2, причем схема 102 D-триггера с динамическим управлением содержит первый аналоговый ключ 200, первый инвертор 202, второй аналоговый ключ 204 и второй инвертор 206. Схема 102 D-триггера с динамическим управлением содержит устройство выборки и хранения, которое образовано аналоговыми ключами первого и второго аналоговых ключей 200 и 204 и паразитной емкостью, например, емкостью затвора и емкостью проводников первого и второго инверторов 202 и 206.

В D-триггере с динамическим управлением инвертор 202 и аналоговый ключ 204 выполнены отдельно, и имеются проблемы со сложностью управления аналоговым ключом и медленной скоростью доступа.

### **Краткое раскрытие изобретения**

Для решения описанных выше проблем в настоящем изобретении предлагается D-триггер с динамическим управлением для вычислительного устройства, который может эффективно уменьшить занимаемую на микросхеме площадь, потребляемую мощность и задержку срабатывания логики.

Для реализации этой цели в настоящем изобретении предлагается D-триггер с динамическим управлением, содержащий

входной вывод, выходной вывод и по меньшей мере один вывод сигнала синхронизации;

блок первой защелки для передачи данных с входного вывода и сохранения данных под управлением сигнала синхронизации;

блок второй защелки для сохранения данных для выходного вывода и передачи с инвертированием данных, хранящихся в блоке первой защелки, под управлением сигнала синхронизации; и выходной буферный блок для инвертирования и вывода данных, полученных с блока второй защелки;

блок первой защелки, блок второй защелки и выходной буферный блок последовательно соединены в цепочку между входным выводом и выходным выводом;

причем выход блока второй защелки может принимать состояния с высоким уровнем, низким уровнем и высоким выходным импедансом с помощью единственного элемента под управлением сигналом синхронизации.

D-Триггер с динамическим управлением, отличающийся тем, что блок второй защелки является тристабильным инвертором.

D-Триггер с динамическим управлением, отличающийся тем, что тристабильный инвертор дополнительно содержит первый P-МОП транзистор, второй P-МОП транзистор, первый N-МОП транзистор и второй N-МОП транзистор, которые последовательно соединены в цепь между шиной питания и землей.

D-Триггер с динамическим управлением, отличающийся тем, что первый P-МОП транзистор и второй N-МОП транзистор выполняют управление ключом согласно сигналу синхронизации, причем сигналы синхронизации для первого P-МОП транзистора и второго N-МОП транзистора инвертированы.

D-Триггер с динамическим управлением, отличающийся тем, что второй P-МОП транзистор и первый N-МОП транзистор выполняют управление ключом согласно сигналу синхронизации, причем сигналы синхронизации для второго P-МОП транзистора и первого N-МОП транзистора инвертированы.

D-Триггер с динамическим управлением, отличающийся тем, что в блоке второй защелки используются приборы с низкой утечкой и/или в выходном буферном блоке используются приборы с высоким пороговым напряжением.

D-Триггер с динамическим управлением, отличающийся тем, что в качестве первого N-МОП транзистора и второго N-МОП транзистора используются транзисторы с низким током утечки.

D-Триггер с динамическим управлением, отличающийся тем, что он дополнительно содержит блок положительной обратной связи для инвертирования данных с выходного вывода и передачи данных на выходной буферный блок.

D-Триггер с динамическим управлением, отличающийся тем, что блок положительной обратной связи является инвертором, подключенным параллельно к двум сторонам выходного буферного блока.

D-Триггер с динамическим управлением, отличающийся тем, что в блоке первой защелки используется блок задержки.

D-Триггер с динамическим управлением, отличающийся тем, что вывод сигнала синхронизации подключен к буферу синхронизации, используемому блоку с низким порогом.

D-Триггер с динамическим управлением, отличающийся тем, что множество D-триггеров с динамическим управлением соединены параллельно.

Применение D-триггера с динамическим управлением согласно настоящему изобретению может снизить площадь микросхемы примерно на 30%, тем самым снижая стоимость производства микросхемы и увеличивая конкурентоспособность изделия. В перспективе развития такой D-триггер с динамическим управлением может заменить D-триггер в цифровой логике для упрощения процесса монтажа электропроводки в компоновке процессора обработки данных, снизить сложность проектирования, и улучшить эксплуатационные параметры, тем самым получив преимущество по площади и по увеличению практичности.

Для лучшей реализации цели в настоящем изобретении дополнительно предложен блок обработки данных, содержащий схему управления, рабочую схему и множество соединенных друг с другом D-триггеров с динамическим управлением, причем D-триггеры с динамическим управлением этого множества соединены последовательно и/или параллельно, причем во множестве D-триггеров с динамическим управлением используются любые D-триггеры с динамическим управлением.

Для лучшей реализации цели в настоящем изобретении дополнительно предложена микросхема, содержащая любой из блоков обработки данных.

Для лучшей реализации цели в настоящем изобретении дополнительно предложена плата хэширования для вычислительного устройства, содержащая любую из микросхем.

Для лучшей реализации цели в настоящем изобретении дополнительно предложено вычислительное устройство, содержащее плату блока питания, плату управления, соединительную плату, радиатор и множество плат хэширования, причем плата управления подключена к платам хэширования через соединительную плату, вокруг плат хэширования предусмотрен радиатор, а плата блока питания выполнена с возможностью подавать питание на соединительную плату, плату управления, радиатор и платы хэширования, причем плата хэширования является любой из плат хэширования.

Применение вычислительного устройства настоящего изобретения может лучше сэкономить площадь микросхемы, снизить стоимость производства, и дополнительно снизить мощность, потребляемую вычислительным устройством.

Далее в этом документе подробно описано настоящее изобретение со ссылками на прилагаемые фигуры и подробные варианты осуществления, но настоящее изобретение не ограничено этим.

В описании и в пунктах формулы изобретения для указания конкретных компонентов используются конкретные термины. Специалисты в этой области техники должны понимать, что изготовитель может дать другое название тому же самому компоненту. В описании и в пунктах формулы изобретения компоненты различаются друг от друга по их различным функциям вместо использования различных названий.

Слова "состоит из" и "включает", используемые во всем описании и в последующих пунктах формулы изобретения, являются неограничивающими словами и их следует понимать как "включает, помимо прочего". Кроме того, "соединение" здесь включает в себя любые средства прямого или косвенного электрического соединения. Косвенные средства электрического соединения включают в себя соединения через другие устройства.

#### **Краткое описание фигур**

На фиг. 1 показана упрощенная схема D-триггера с положительной обратной связью прототипа.

На фиг. 2 показана упрощенная схема D-триггера с динамическим управлением прототипа.

На фиг. 3 показана упрощенная схема D-триггера с динамическим управлением согласно настоящему изобретению.

На фиг. 4А показана упрощенная схема D-триггера с динамическим управлением одного варианта осуществления настоящего изобретения.

На фиг. 4В показана упрощенная схема D-триггера с динамическим управлением другого варианта осуществления настоящего изобретения.

На фиг. 4С показана упрощенная схема измененного варианта осуществления D-триггера с динамическим управлением согласно фиг. 4А.

На фиг. 4D показана упрощенная схема измененного варианта осуществления D-триггера с динамическим управлением согласно фиг. 4В.

На фиг. 5А показана эквивалентная упрощенная схема D-триггера с динамическим управлением настоящего изобретения при записи данных.

На фиг. 5В показана эквивалентная упрощенная схема D-триггера с динамическим управлением настоящего изобретения в состоянии хранения данных.

На фиг. 6 показана временная диаграмма D-триггера с динамическим управлением согласно настоящему изобретению.

На фиг. 7 показана упрощенная схема блока обработки данных согласно настоящему изобретению.

На фиг. 8 показана упрощенная схема микросхемы согласно настоящему изобретению.

На фиг. 9 показана упрощенная схема платы хэширования согласно настоящему изобретению.

На фиг. 10 показана упрощенная схема вычислительного устройства согласно настоящему изобретению.

#### **Подробное раскрытие предпочтительных вариантов осуществления изобретения**

Принцип структуры и принцип работы настоящего изобретения подробно описаны далее со ссылками на приложенные фигуры.

На фиг. 3 показана упрощенная схема D-триггера с динамическим управлением согласно настоящему изобретению. Как показано на фиг. 3, D-триггер 400 с динамическим управлением образован блоком 401 первой защелки, блоком 402 второй защелки и выходным буферным блоком 403. Блок 401 первой защелки, блок 402 второй защелки и выходной буферный блок 403 последовательно соединены в цепочку между входным выводом 404 и выходным выводом 405 D-триггера 400 с динамическим управлением.

Первый вариант осуществления.

На фиг. 4А показана упрощенная схема D-триггера с динамическим управлением одного варианта осуществления настоящего изобретения.

Как показано на фиг. 3 и 4А, блок 401 первой защелки D-триггера 500 с динамическим управлением является передаточным вентиляем 501, причем передаточный вентиль 501 образует аналоговый ключ, управляемый сигналами синхронизации, для этого используется параллельное соединение P-МОП транзистора 506 и N-МОП транзистора 507. Одна сторона передаточного вентиля 501 подсоединена к входному выводу 504 D-триггера 500 с динамическим управлением, вывод затвора 508 P-МОП транзистора 506 управляется сигналом синхронизации CLKP, а вывод затвора 509 N-МОП транзистора 507 управляется сигналом синхронизации CLKN, который находится в противофазе с CLKP. Когда CLKP имеет высокий уровень, CLKN имеет низкий уровень, и P-МОП транзистор 506 и N-МОП транзистор 507 передаточного вентиля 501 закрыты, передаточный вентиль 501 закрыт, и данные с входного вывода 504 нельзя передать на вторую сторону передаточного вентиля 501, так что данные в первом узле 550 на другой стороне передаточного вентиля 501 запомнены и удерживаются в исходном состоянии. Когда CLKP имеет низкий уровень, CLKN имеет высокий уровень, и P-МОП транзистор 506 и N-МОП транзистор 507 передаточного вентиля 501 открыты, передаточный вентиль 501 открыт, и данные с входного вывода 504 могут быть переданы на вторую сторону передаточного вентиля 501 через передаточный вентиль 501, так что данные в первом узле 550 на другой стороне передаточного вентиля 504 перезаписываются в те же самые данные, как на входном выводе 504.

Как показано на фиг. 3 и 4А, блок 402 второй защелки D-триггера 500 с динамическим управлением является тристабильным инвертором 502, причем тристабильный инвертор 502 содержит P-МОП транзи-

сторы 510, 511 и N-МОП транзисторы 512, 513. N-МОП транзисторы 512, 513 являются приборами с низкой утечкой. Электроды затвора P-МОП транзистора 511 и N-МОП транзистора 512 соединены вместе и образуют входной вывод тристабильного инвертора 502. Электрод истока P-МОП транзистора 510 подсоединен к шине питания VDD, а электрод истока N-МОП транзистора 513 подсоединен к земле GND. Электроды стока P-МОП транзистора 511 и N-МОП транзистора 512 соединены вместе и образуют выходной вывод тристабильного инвертора 502. Электрод истока P-МОП транзистора 511 подсоединен к электроду стока P-МОП транзистора 510, а электрод истока N-МОП транзистора 512 подсоединен к электроду стока N-МОП транзистора 513.

Вывод затвора 514 P-МОП транзистора 510 управляется сигналом синхронизации CLKN, а вывод затвора 515 N-МОП транзистора 513 управляется сигналом синхронизации CLKP, они используются в качестве выводов управления синхронизацией тристабильного инвертора 502.

Когда CLKP имеет низкий уровень, CLKN имеет высокий уровень, и P-МОП транзистор 510 и N-МОП транзистор 513 оба находятся в закрытом состоянии, а тристабильный инвертор 502 находится в состоянии высокого импеданса, так что данные с первого узла 550 не могут пройти через тристабильный инвертор 502, и данные второго узла 551 запомнены и удерживаются в исходном состоянии, тем самым реализуется режим регистра данных.

Когда CLKP имеет высокий уровень, CLKN имеет низкий уровень, и P-МОП транзистор 510 и N-МОП транзистор 513 оба находятся в открытом состоянии, а тристабильный инвертора 502 работает и инвертирует данные входного вывода, так что данные с первого узла 550 инвертируются и выводятся на второй узел 551 для перезаписи данных во втором узле 551.

Как показано на фиг. 3 и 4А, выходной буферный блок 403 является инвертором 503 для нового инвертирования данных, полученных с тристабильного инвертора 502, так что образуются данные с одинаковой фазой с данными на входном выходе 504 D-триггера с динамическим управлением, и данные выводятся на выходной вывод 505. Вместе с тем выходной буферный блок 403 может также улучшить возможности буферизации данных, и в инверторе 503 используются приборы с высоким пороговым напряжением.

Второй вариант осуществления.

Как показано на фиг. 3 и 4В, блок 401 первой защелки D-триггера 600 с динамическим управлением является передаточным вентиляем 601, причем передаточный вентиль 601 образует аналоговый ключ, управляемый сигналами синхронизации, для этого используется параллельное соединение P-МОП транзистора 606 и N-МОП транзистора 607. Одна сторона передаточного вентиля 601 подсоединена к входному выводу 604 D-триггера 600 с динамическим управлением, вывод затвора 608 P-МОП транзистора 606 управляется сигналом синхронизации CLKP, а вывод затвора 609 N-МОП транзистора 607 управляется сигналом синхронизации CLKN, который находится в противофазе с CLKP. Когда CLKP имеет высокий уровень, CLKN имеет низкий уровень, и P-МОП транзистор 606 и N-МОП транзистор 607 передаточного вентиля 601 закрыты, передаточный вентиль закрыт, и данные с входного вывода 604 нельзя передать на вторую сторону передаточного вентиля 601, так что данные в первом узле 650 запомнены и удерживаются в исходном состоянии. Когда CLKP имеет низкий уровень, CLKN имеет высокий уровень, и P-МОП транзистор 606 и N-МОП транзистор 607 передаточного вентиля 601 открыты, передаточный вентиль 601 открыт, и данные с входного вывода 604 выводятся на другую сторону через передаточный вентиль 601, так что данные в первом узле 650 перезаписываются в те же самые данные, как на входном выводе 604.

Как показано на фиг. 3 и 4В, блок 402 второй защелки D-триггера 600 с динамическим управлением является тристабильным инвертором 602, причем тристабильный инвертор 602 содержит P-МОП транзисторы 610, 611 и N-МОП транзисторы 612, 613. N-МОП транзисторы 612, 613 являются приборами с низкой утечкой. Электроды затвора P-МОП транзистора 611 и N-МОП транзистора 613 соединены вместе и образуют входной вывод тристабильного инвертора 602. Электрод истока P-МОП транзистора 610 подсоединен к шине питания VDD, а электрод истока N-МОП транзистора 613 подсоединен к земле GND. Электроды стока P-МОП транзистора 611 и N-МОП транзистора 612 соединены вместе и образуют выходной вывод тристабильного инвертора 602. Электрод истока P-МОП транзистора 611 подсоединен к электроду стока P-МОП транзистора 610, а электрод истока N-МОП транзистора 612 подсоединен к электроду стока N-МОП транзистора 613.

Вывод затвора 614 P-МОП транзистора 611 управляется сигналом синхронизации CLKN, а вывод затвора 615 N-МОП транзистора 612 управляется сигналом синхронизации CLKP, они используются в качестве выводов управления синхронизацией тристабильного инвертора 602.

Когда CLKP имеет низкий уровень, CLKN имеет высокий уровень, и P-МОП транзистор 611 и N-МОП транзистор 612 оба находятся в закрытом состоянии, а тристабильный инвертор 602 находится в состоянии высокого импеданса, так что данные с первого узла 650 не могут пройти через тристабильный инвертор 602, и данные второго узла 651 запомнены и удерживаются в исходном состоянии, тем самым реализуется режим регистра данных.

Когда CLKP имеет высокий уровень, CLKN имеет низкий уровень, и P-МОП транзистор 611 и N-МОП транзистор 612 оба находятся в открытом состоянии, а тристабильный инвертор 602 работает и

инвертирует данные входного вывода, так что данные с первого узла 650 инвертируются и выводятся на второй узел 651 для перезаписи данных во втором узле 651.

Как показано на фиг. 3 и 4В, выходной буферный блок 403 является инвертором 603 для нового инвертирования данных, полученных с тристабильного инвертора 602, так что образуются данные с одинаковой фазой с данными на входном выходе 604 D-триггера с динамическим управлением, и данные выводятся на выходной вывод 605. Вместе с тем выходной буферный блок 403 может также улучшить возможности буферизации данных, и в инверторе 603 используются приборы с высоким пороговым напряжением.

Измененный первый вариант осуществления.

На фиг. 4С показана упрощенная схема измененного варианта осуществления D-триггера с динамическим управлением согласно фиг. 4А. Рассмотрим фиг. 3 и заметим, что фиг. 4С отличается от показанного на фиг. 4А варианта осуществления тем, что на фиг. 4С D-триггер с динамическим управлением дополнительно содержит блок положительной обратной связи, подключенный параллельно к двум сторонам выходного буферного блока 403. В этом измененном варианте осуществления блок положительной обратной связи, а именно инвертор 518, состоит из P-МОП транзистора 516 и N-МОП транзистора 517, причем входной вывод инвертора 518 подсоединен к выходному выводу инвертора 503, то есть к выходному выводу 505 D-триггера 500 с динамическим управлением и с положительной обратной связью, а выходной вывод инвертора 518 подсоединен к входному выводу инвертора 503. Когда данные во втором узле 551 равны "1", выход инвертора 503 равен "0", P-МОП транзистор 516 открыт и образует цепь зарядки для удержания данных на втором узле 551 в значении "1". Когда данные во втором узле 551 равны "0", выход инвертора 503 равен "1", N-МОП транзистор 517 открыт и образует цепь разрядки для удержания данных на втором узле 551 в значении "0". Как можно увидеть, инверторы 518 и 503 образуют контур защелки данных для лучшего запоминания данных с выходного вывода 505 D-триггера с динамическим управлением и с положительной обратной связью на втором узле 551. Кроме того, контур обратной связи, состоящий из P-МОП транзистора 516 и N-МОП транзистора 517, должен иметь меньший выходной ток, чем обычная цепь чтения и записи, чтобы можно было правильно записать новые данные.

Измененный второй вариант осуществления.

На фиг. 4D показана упрощенная схема измененного варианта осуществления D-триггера с динамическим управлением согласно фиг. 4В. Рассмотрим фиг. 3 и заметим, что фиг. 4D отличается от показанного на фиг. 4В варианта осуществления тем, что на фиг. 4D D-триггер с динамическим управлением дополнительно содержит блок положительной обратной связи, подключенный параллельно к двум сторонам выходного буферного блока 403. В этом измененном варианте осуществления блок положительной обратной связи, а именно инвертор 618, состоит из P-МОП транзистора 616 и N-МОП транзистора 617, причем входной вывод инвертора 618 подсоединен к выходному выводу инвертора 603, то есть к выходному выводу 605 D-триггера 600 с динамическим управлением и с положительной обратной связью, а выходной вывод инвертора 618 подсоединен к входному выводу инвертора 603. Когда данные во втором узле 651 равны "1", выход инвертора 603 равен "0", P-МОП транзистор 616 открыт и образует цепь зарядки для удержания данных на втором узле 651 в значении "1". Когда данные во втором узле 651 равны "0", выход инвертора 603 равен "1", N-МОП транзистор 617 открыт и образует цепь разрядки для удержания данных на втором узле 651 в значении "0". Как можно увидеть, инверторы 618 и 603 образуют контур защелки данных для лучшего запоминания данных с выходного вывода 605 D-триггера с динамическим управлением и с положительной обратной связью на втором узле 651. Кроме того, контур обратной связи, состоящий из P-МОП транзистора 616 и N-МОП транзистора 617, должен иметь меньший выходной ток, чем обычная цепь чтения и записи, чтобы можно было правильно записать новые данные.

Кроме того, что касается D-триггеров с динамическим управлением, показанных на фиг. 4А-4D, сигналы синхронизации CLKP и CLKN могут быть прямо подсоединены к сигналам синхронизации, а также могут подаваться через буфер синхронизации. Если сигналы синхронизации CLKP и CLKN подаются через буфер синхронизации, блоки 401 первой защелки D-триггеров с динамическим управлением, то есть передаточные вентили 501 и 601, проектируются как блок задержки. Скорость уменьшается за счет использования приборов с высоким порогом, электрическая утечка и скорость передачи снижается за счет использования малого размера, а скорость передачи замедляется за счет использования компоненты с паразитными резистором и конденсатором, так что время хранения D-триггеров с динамическим управлением можно снизить. В соответствии с другим вариантом осуществления, буфер синхронизации D-триггеров с динамическим управлением сконструирован как высокоскоростной блок и содержит по меньшей мере один каскадный буферный блок. Возможности возбуждения буфера усилены за счет использования приборов с низким пороговым напряжением и увеличения размеров приборов. Выполнена балансировка возбуждения между нагрузками, причем общая скорость возбуждения улучшена с помощью схемы с продуманно распределенной задержкой синхронизации, тем самым уменьшено время хранения D-триггеров с динамическим управлением.

Следует отметить, что показанные на фиг. 4А-4D D-триггеры с динамическим управлением можно также использовать в параллельном соединении сразу нескольких. Каждый D-триггер с динамическим управлением содержит входной вывод и выходной вывод и принимает внешние сигналы синхронизации

через буфер синхронизации, при этом сигналы синхронизации CLKP и CLKN подаются к каждому D-триггеру с динамическим управлением после буферизации сигналов синхронизации.

Далее в этом документе подробно объясняется принцип работы D-триггера с динамическим управлением согласно настоящему изобретению.

На фиг. 5А показана эквивалентная упрощенная схема D-триггера с динамическим управлением настоящего изобретения при записи данных, а на фиг. 5В показана эквивалентная упрощенная схема D-триггера с динамическим управлением настоящего изобретения в состоянии хранения данных.

Как показано на фиг. 4А, 4В, 4С, 4D и 5А, когда CLKP имеет высокий уровень, а CLKN имеет низкий уровень, управляемые синхронизацией транзисторы тристабильных инверторов 502 и 602 открыты и данные, передаваемые через передаточные вентили 501 и 601, записываются в паразитный конденсатор 100. Когда входные данные равны "0", P-МОП транзисторы 510, 511, 610 и 611 тристабильных инверторов 502 и 602 находятся в открытом состоянии для образования цепей подтягивания вверх для зарядки паразитного конденсатора 100, вторые узлы 551 и 651 принимают высокий уровень и данные изменяются на "1". Когда входные данные равны "1", N-МОП транзисторы 512, 513, 612 и 613 тристабильных инверторов 502 и 602 находятся в открытом состоянии для образования цепей стягивания вниз для разрядки паразитного конденсатора 100, вторые узлы 551 и 651 принимают низкий уровень и данные изменяются на "0".

Как показано на фиг. 5В, когда паразитный конденсатор 100 заряжен, если тристабильные инверторы 502 и 602 под управлением сигналов синхронизации находятся в состоянии высокого импеданса, паразитный конденсатор 100 больше не заряжается и данные на вторых узлах 551 и 651 находятся в состоянии хранения. С другой стороны, из-за действия токов утечки N-МОП транзисторов 512, 513, 612 и 613, электрический заряд постепенно стекает с паразитного конденсатора 100, высокий уровень во вторых узлах 551 и 651 становится низким уровнем после некоторого периода времени, и зарегистрированные в паразитном конденсаторе 100 данные изменяются с "1" на "0", что в итоге вызывает ошибку данных.

Предположим, что созданный в паразитном конденсаторе 100 электрический заряд равен  $Q$ , емкость паразитного конденсатора 100 равна  $C$ , а напряжение между пластинами паразитного конденсатора равно  $V$ , тогда

$$Q=C \times V.$$

Если ток утечки равен  $I_{\text{утечки}}$ , то время утечки  $t$  равно:

$$t=Q/I_{\text{утечки}}=C \times V/I_{\text{утечки}}.$$

Для применяемого в настоящее время технологического процесса хранящиеся на паразитном конденсаторе 100 данные могут храниться примерно 5 нсек. Другими словами, если хранящиеся на паразитном конденсаторе данные периодически обновляются во время хранения данных, то ситуации ошибки данных не возникнет. Рабочая частота применяемого в настоящее время вычислительного устройства часто выше 500 МГц, что намного превышает необходимую частоту обновления данных, так что D-триггер с динамическим управлением согласно настоящему изобретению можно применять в вычислительном устройстве, при этом уменьшается коэффициент ошибок в результате операций вычислительного устройства, и улучшается качество обработки данных устройства вычисления виртуальной валюты.

С другой стороны из-за влияния тока утечки хранящийся на паразитном конденсаторе 100 электрический заряд постепенно уменьшается, так что напряжения на вторых узлах 551 и 651, которые сначала будут иметь высокий уровень, постепенно снижаются, а поскольку напряжения на вторых узлах 551 и 651 используются как входные сигналы для инверторов 503 и 603, то инверторы переходят в подпороговое открытое состояние. Инверторы 503 и 603 в подпороговом открытом состоянии образуют цепь протекания постоянного тока с шины питания VDD на землю GND, вызывая резкое возрастание потребляемой мощности.

Так как в качестве N-МОП транзисторов 512, 513, 612 и 613 тристабильных инверторов 502, 602 используются приборы с низкой утечкой, а в инверторах 503 и 603 используются приборы с высоким пороговым напряжением, D-триггеры 500 и 600 с динамическим управлением согласно настоящему изобретению могут эффективно уменьшить ток утечки в N-МОП транзисторах 512, 513, 612 и 613, и снизить возможность инверторов 503 и 603 работать в подпороговом интервале, тем самым снижая потребляемую мощность D-триггеров с динамическим управлением. Методы применения приборов с низкой утечкой и приборов с высоким пороговым напряжением можно использовать по отдельности, а также можно использовать одновременно.

Кроме того, для D-триггеров с динамическим управлением, оснащенных блоком положительной обратной связи, благодаря работе выполняющих функцию положительной обратной связи инверторов 518 и 618, хранящиеся на паразитном конденсаторе 100 данные могут в штатном режиме работы храниться, пока не будут перезаписаны новыми данными. Следовательно, во время хранения данных нет необходимости периодически обновлять хранящиеся на паразитном конденсаторе данные, и ситуации ошибки данных также не возникнет.

На фиг. 6 показана временная диаграмма D-триггера с динамическим управлением согласно настоящему изобретению. Как показано на фиг. 6, когда CLKP имеет низкий уровень, а CLKN имеет высо-

кий уровень, блок первой защелки открыт, так что данные с входного вывода D проходят через блок первой защелки, а блок второй защелки закрыт для удержания выходного сигнала D-триггера с динамическим управлением в исходном состоянии. При поступлении нарастающего фронта CLKP сигнал CLKP скачком переходит на высокий уровень, а CLKN скачком переходит на низкий уровень, блок первой защелки закрывается для отсоединения данных, поданных на входной вывод D, а блок второй защелки открывается для вывода хранящихся данных входного вывода D на выходной вывод Q. Как можно увидеть, изменения состояния выходного вывода D-триггера с динамическим управлением настоящего изобретения происходят при поступлении нарастающего фронта CLKP, затем CLKP имеет высокий уровень, CLKN имеет низкий уровень, а состояние выхода удерживается неизменным.

В настоящем изобретении дополнительно предложен блок обработки данных, и на фиг. 7 показана упрощенная схема блока обработки данных согласно настоящему изобретению. Как показано на фиг. 7, блок 700 обработки данных содержит схему 701 управления, рабочую схему 702 и множество D-триггеров 500, 600 с динамическим управлением. Схема 701 управления обновляет данные в D-триггерах 500, 600 с динамическим управлением и считывает данные с D-триггеров 500, 600 с динамическим управлением. Рабочая схема 702 выполняет обработку считанных данных, и затем результат обработки выводится схемой 701 управления.

В настоящем изобретении дополнительно предложена микросхема, и на фиг. 8 показана упрощенная схема микросхемы согласно настоящему изобретению. Как показано на фиг. 8, микросхема 800 содержит блок 801 управления и один или несколько блоков 700 обработки данных. Блок 801 управления вводит данные в блоки 700 обработки данных, а обработанные данные выводятся из блоков 700 обработки данных.

В настоящем изобретении дополнительно предложена плата хэширования, и на фиг. 9 показана упрощенная схема платы хэширования согласно настоящему изобретению. Как показано на фиг. 9, каждая из плат 900 хэширования содержит одну или несколько микросхем 800 для выполнения операций хэширования рабочих данных, поступивших с майнингового пула.

В настоящем изобретении дополнительно предложено вычислительное устройство, и вычислительное устройство предпочтительно выполнено с возможностью использования для майнинга виртуальной цифровой валюты. Конечно, вычислительное устройство также можно выполнить с возможностью выполнения любых других массовых операций, и на фиг. 10 показана упрощенная схема вычислительного устройства согласно настоящему изобретению. Как показано на фиг. 10, каждое из вычислительных устройств 1000 содержит соединительную плату 1001, плату 1002 управления, радиатор 1003, плату 1004 блока питания и одну или несколько плат 900 хэширования. Плата 1002 управления подсоединена к платам 900 хэширования через соединительную плату 1001, а вокруг плат хэширования предусмотрен радиатор 1003. Плата 1004 блока питания выполнена с возможностью подавать питание на соединительную плату 1001, плату 1002 управления, радиатор 1003 и платы 900 хэширования.

Следует отметить, что в настоящем изобретении ориентация или взаимное расположение, указанное терминами "поперечный", "продольный", "сверху", "снизу", "спереди", "сзади", "слева", "справа", "вертикальный", "горизонтальный", "верхний", "нижний", "внутри", "снаружи" и подобными, относятся к показанной на фигурах ориентации или взаимному расположению, и это сделано только с целью описания настоящего изобретения и упрощения объяснения, а не для указания или предложения, что указанное устройство или элемент должны иметь конкретную ориентацию и должны быть установлены и работать в конкретной ориентации, так что это не следует понимать как ограничения для настоящего изобретения.

Хотя варианты осуществления настоящего изобретения были раскрыты выше, их можно в полном объеме применять в различных областях, пригодных для настоящего изобретения, так что они не являются ограничениями для перечисленного в описании и в вариантах осуществления. Специалисты в этой области техники могут легко реализовать дополнительные модификации, так что без отклонения от общей концепции, определенной в приложенных пунктах формулы изобретения, и от эквивалентного объема, настоящее изобретение не ограничено конкретными параметрами и фигурами, показанными и описанными здесь.

Другими словами, у настоящего изобретения могут также существовать другие различные варианты осуществления, и специалисты в этой области техники могут вносить различные модификации и изменения согласно настоящему изобретению без отклонения от существа и сути настоящего изобретения, но такие соответствующие модификации и изменения будут принадлежать к объему, защищенному приложенными пунктами формулы изобретения.

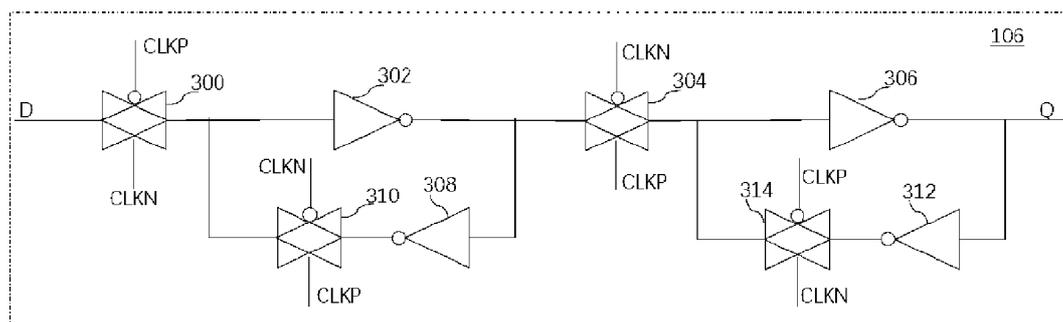
#### **Промышленная применимость**

Применение D-триггера с динамическим управлением, а также блока обработки данных, микросхемы, платы хэширования и вычислительного устройства с его использованием согласно изобретению имеет следующие полезные эффекты: можно снизить примерно на 30% площадь микросхемы, потребляемую мощность и время задержки логики, тем самым снижая стоимость производства микросхемы и увеличивая конкурентоспособность изделия. В перспективе развития такой D-триггер с динамическим управлением может заменить D-триггер в цифровой логике для упрощения процесса монтажа электропроводки в компоновке процессора обработки данных, снизить сложность проектирования, и улучшить эксплуатационные параметры, тем самым полу-

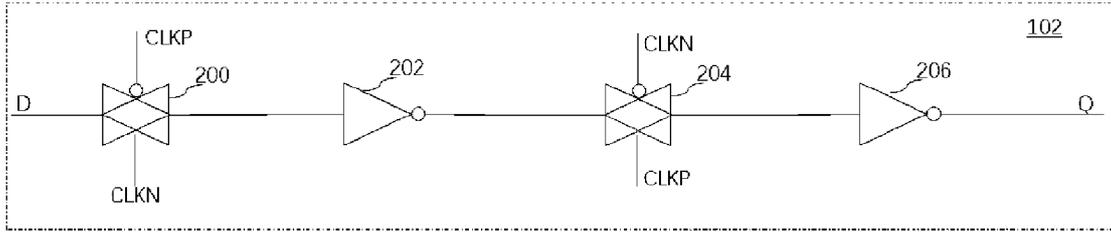
чив преимущество по площади и по увеличению практичности.

#### ФОРМУЛА ИЗОБРЕТЕНИЯ

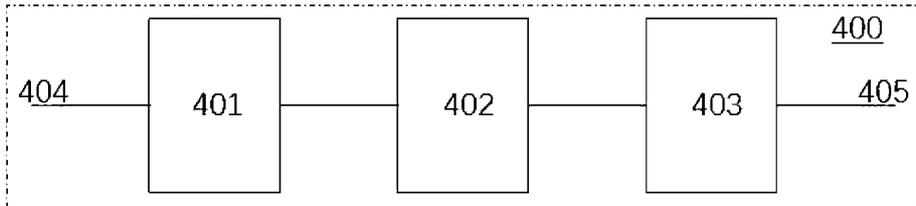
1. D-Триггер с динамическим управлением, содержащий входной вывод, выходной вывод и по меньшей мере один вывод сигнала синхронизации; блок первой защелки для передачи данных с входного вывода и сохранения данных под управлением сигнала синхронизации; блок второй защелки для сохранения данных для выходного вывода и передачи с инвертированием данных, хранящихся в блоке первой защелки, под управлением сигнала синхронизации; и блок первой защелки, блок второй защелки и выходной буферный блок последовательно соединены в цепочку между входным выводом и выходным выводом; отличающийся тем, что блок второй защелки является тристабильным инвертором, способным принимать состояния с высоким уровнем, низким уровнем и высоким выходным импедансом под управлением сигнала синхронизации; и данные, выводимые выходным выводом, инвертированы относительно входных данных входного вывода.
2. D-Триггер с динамическим управлением по п.1, отличающийся тем, что тристабильный инвертор содержит первый P-МОП транзистор, второй P-МОП транзистор, первый N-МОП транзистор и второй N-МОП транзистор, которые последовательно соединены в цепь между шиной питания и землей.
3. D-Триггер с динамическим управлением по п.2, отличающийся тем, что первый P-МОП транзистор и второй N-МОП транзистор выполняют управление ключом согласно сигналу синхронизации, причем сигналы синхронизации для первого P-МОП транзистора и второго N-МОП транзистора инвертированы.
4. D-Триггер с динамическим управлением по п.2, отличающийся тем, что второй P-МОП транзистор и первый N-МОП транзистор выполняют управление ключом согласно сигналу синхронизации, причем сигналы синхронизации для второго P-МОП транзистора и первого N-МОП транзистора инвертированы.
5. D-Триггер с динамическим управлением по п.2, отличающийся тем, что в качестве первого N-МОП транзистора и второго N-МОП транзистора используются транзисторы с низким током утечки.
6. D-Триггер с динамическим управлением по п.1, отличающийся тем, что в блоке первой защелки используется блок задержки.
7. D-Триггер с динамическим управлением по п.6, отличающийся тем, что вывод сигнала синхронизации подключен к буферу синхронизации, использующему блоки с низким порогом.
8. D-Триггер с динамическим управлением по п.1, отличающийся тем, что множество D-триггеров с динамическим управлением соединено параллельно.
9. Блок обработки данных, содержащий схему управления, рабочую схему и множество соединенных друг с другом D-триггеров с динамическим управлением, причем D-триггеры с динамическим управлением этого множества соединены последовательно и/или параллельно, отличающийся тем, что во множестве D-триггеров с динамическим управлением используются D-триггеры с динамическим управлением по п.1.
10. Микросхема, содержащая блок обработки данных по п.9.
11. Плата хэширования для вычислительного устройства, содержащая микросхему по п.10.
12. Вычислительное устройство, содержащее плату блока питания, плату управления, соединительную плату, радиатор и множество плат хэширования, причем плата управления подключена к платам хэширования через соединительную плату, вокруг плат хэширования предусмотрен радиатор, а плата блока питания выполнена с возможностью подавать питание на соединительную плату, плату управления, радиатор и платы хэширования, отличающееся тем, что плата хэширования является платой хэширования по п.11.



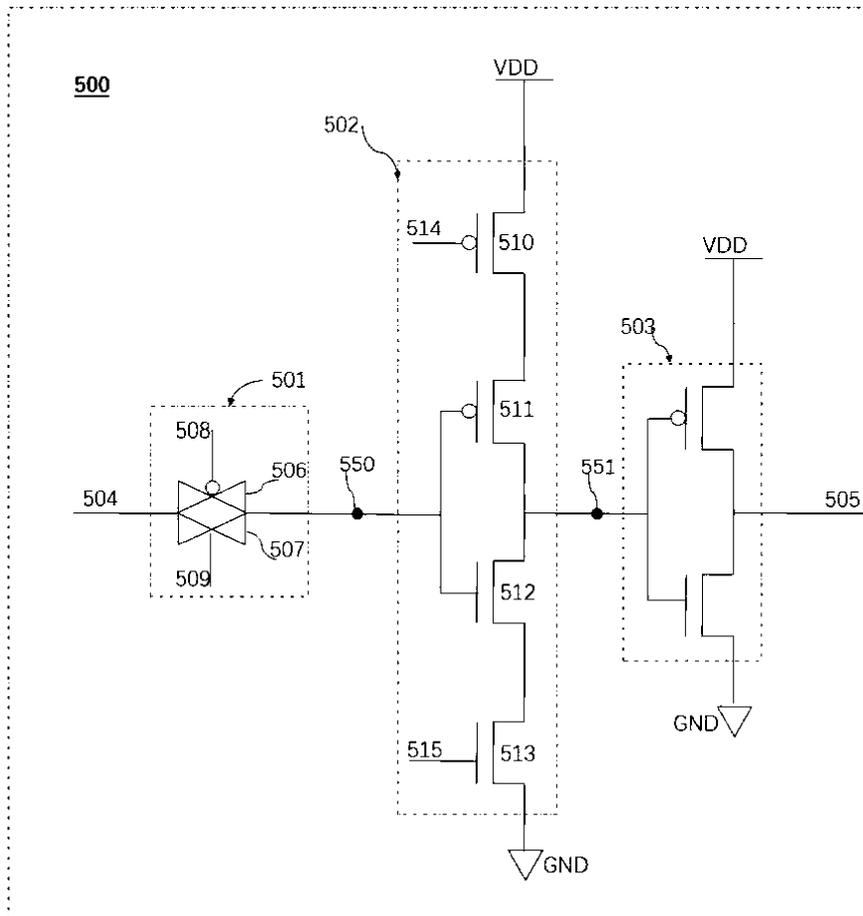
Фиг. 1



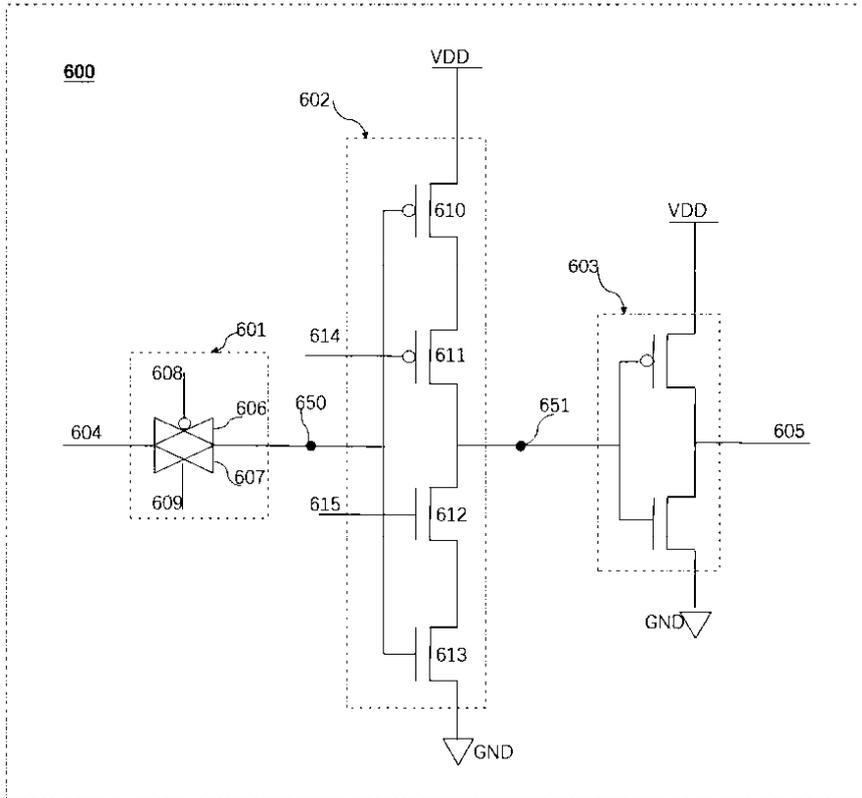
Фиг. 2



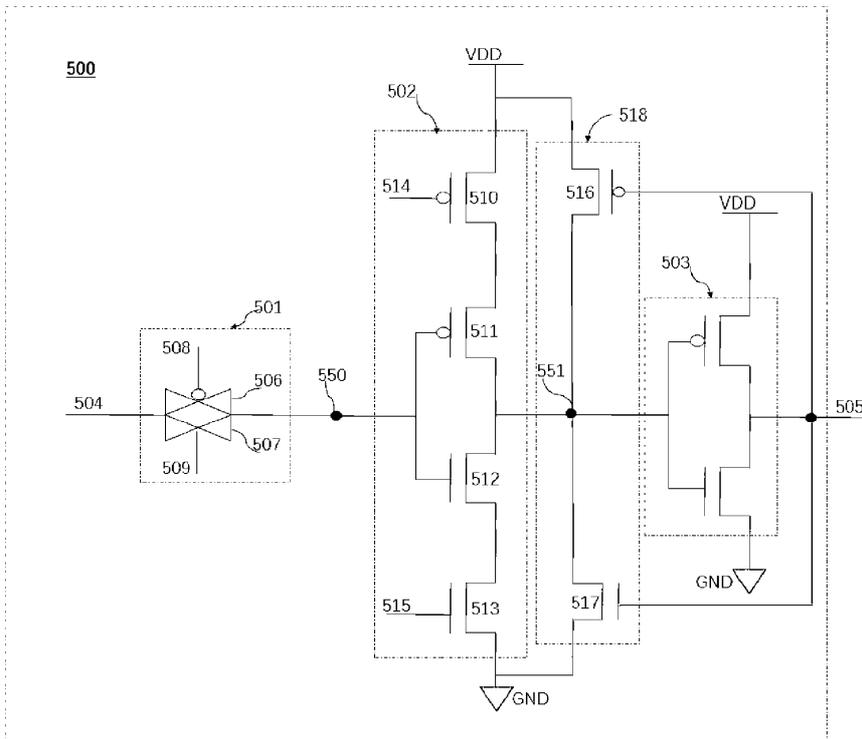
Фиг. 3



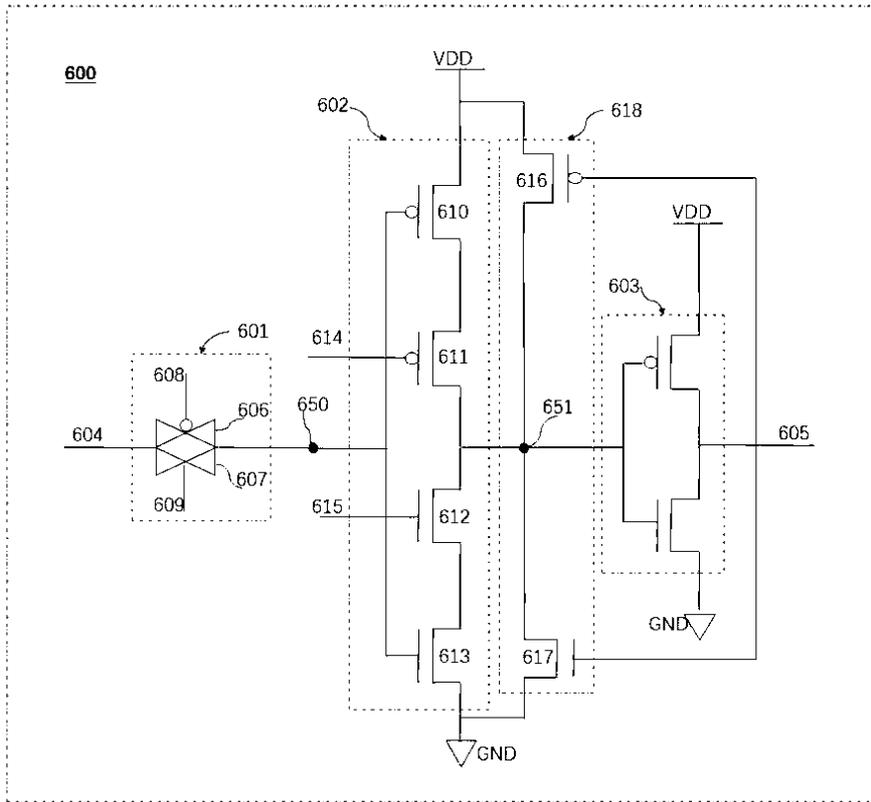
Фиг. 4А



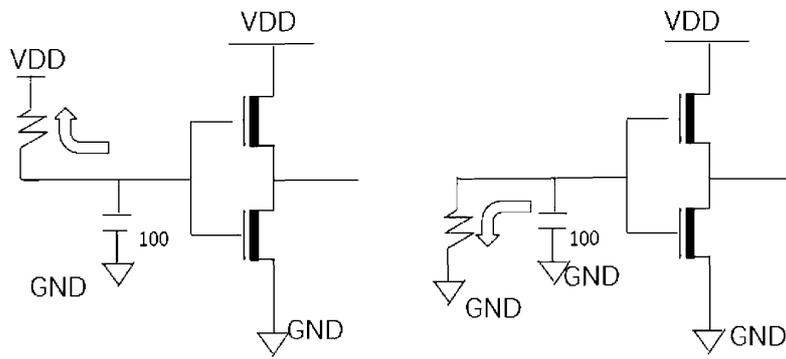
Фиг. 4B



Фиг. 4C

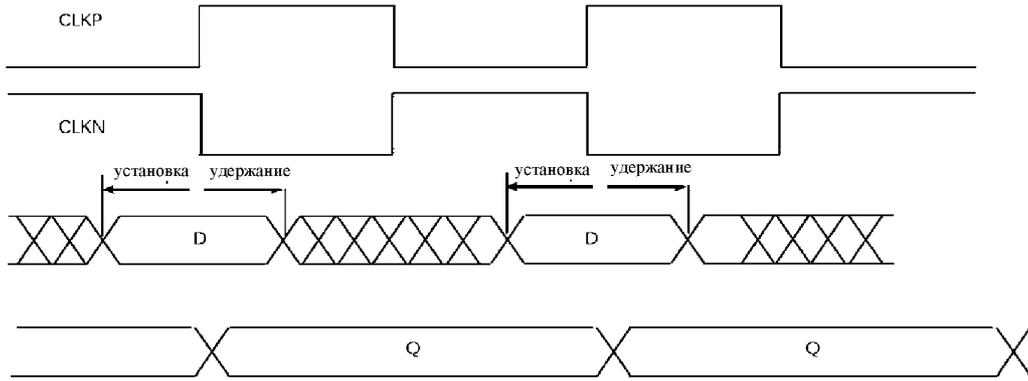


Фиг. 4D

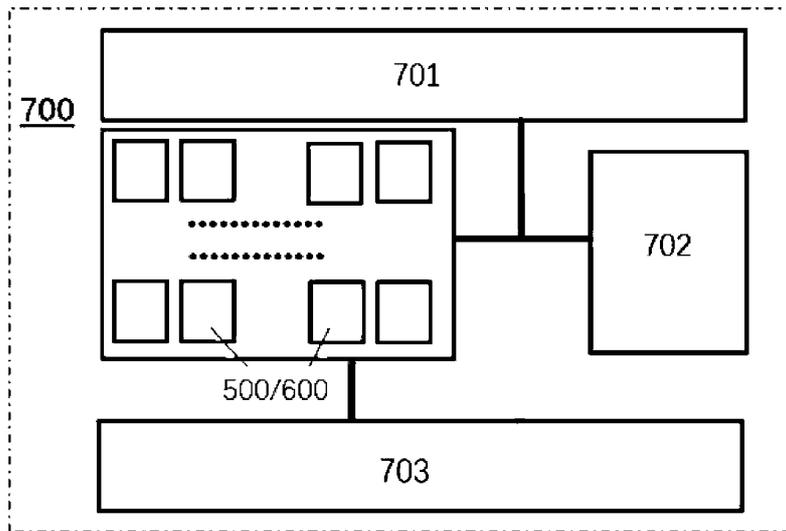


Фиг. 5A

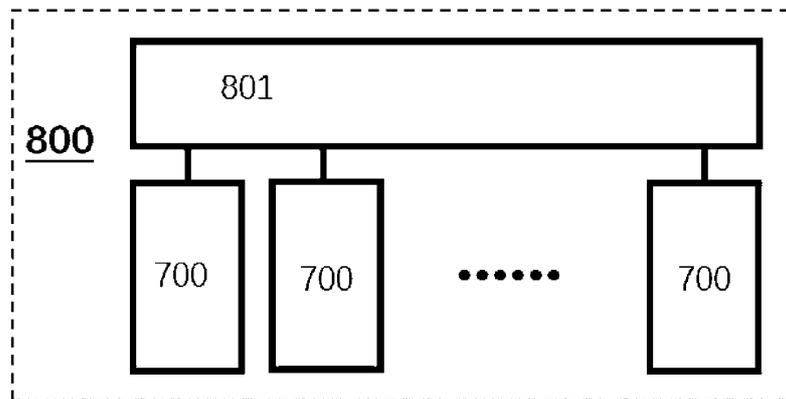
Фиг. 5B



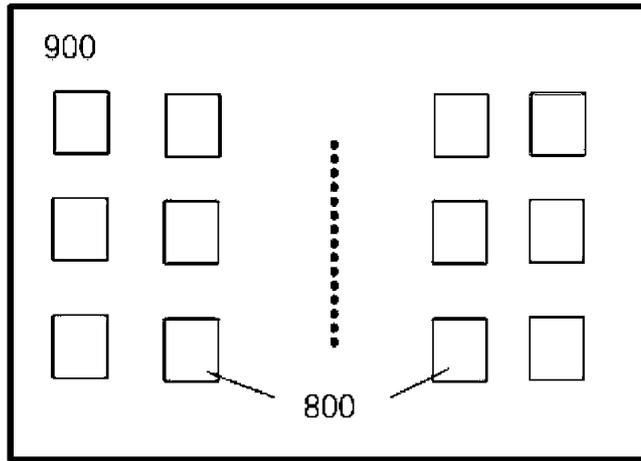
Фиг. 6



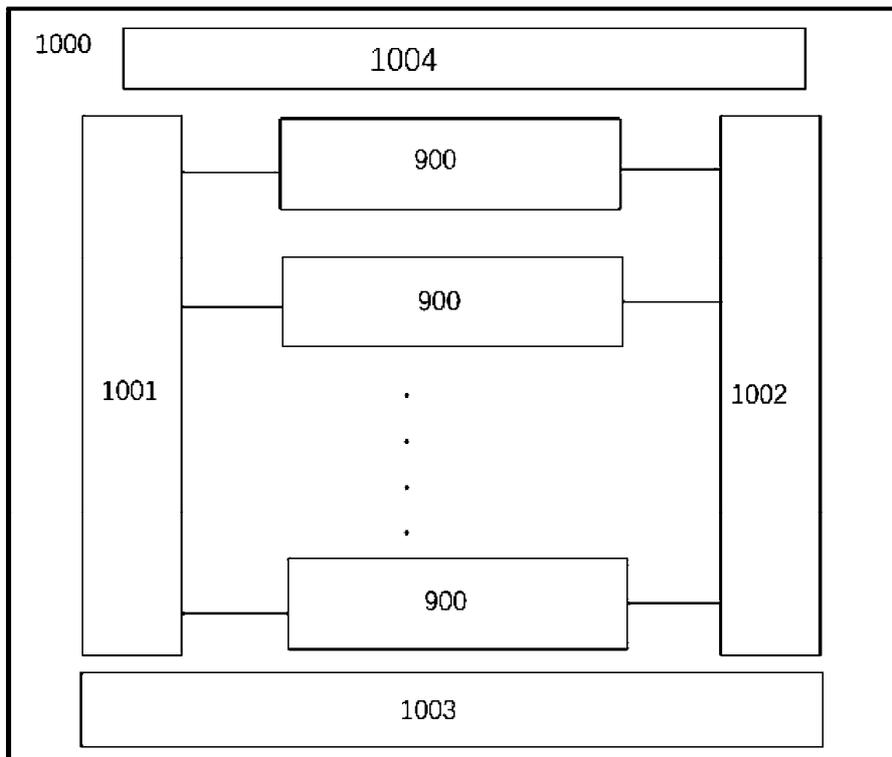
Фиг. 7



Фиг. 8



Фиг. 9



Фиг. 10

