

(19)



**Евразийское
патентное
ведомство**

(11) **045538**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента
2023.12.01

(51) Int. Cl. **H03K 3/017** (2006.01)
H03K 5/06 (2006.01)

(21) Номер заявки
202291922

(22) Дата подачи заявки
2020.06.29

(54) **СХЕМА ГЕНЕРАЦИИ ТАКТОВЫХ ИМПУЛЬСОВ И ТРИГГЕР, ИСПОЛЬЗУЮЩИЙ ЕЕ, И ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО**

(31) **201911422474.4**

(56) CN-A-103837243

(32) **2019.12.30**

CN-A-1357135

(33) **CN**

CN-A-103837243

(43) **2022.10.11**

CN-A-103092255

(86) **PCT/CN2020/098899**

CN-A-102075167

(87) **WO 2021/135102 2021.07.08**

US-A-5767720

(71)(73) Заявитель и патентовладелец:
**КАНААН КРИЭЙТИВ (СХ) КО., ЛТД.
(CN)**

(72) Изобретатель:
**Лю Цзеяо, Чжан Наньгэн, Ву Цзинцзе,
Ма Шэнхоу (CN)**

(74) Представитель:
Нилова М.И. (RU)

(57) Предложена схема генерации тактовых импульсов, триггер, использующий ее, и вычислительное устройство. Схема генерации тактовых импульсов включает в себя входной конец, выполненный с возможностью вывода импульсного сигнала (СКИ); первый выходной конец, выполненный с возможностью вывода первого тактового сигнала (СКО1); второй выходной конец, выполненный с возможностью вывода второго тактового сигнала (СКО2); и схему (101) входного возбуждения, схему (102) триггера, схему (103) формирования фронта, блок (104) задержки обратной связи, и схему (105) выходного возбуждения, причем схема (101) входного возбуждения, схема (102) триггера, схема (103) формирования фронта, блок (104) задержки обратной связи и схема (105) выходного возбуждения последовательно соединены между входным концом и первым выходным концом, а также вторым выходным концом с последовательным подключением. Обеспечивается возможность эффективного формирования тактового импульса, уменьшения использования тактового буфера и повышения корректности и точности передачи и обработки данных.

045538
B1

045538
B1

Область техники

Настоящее изобретение относится к запоминающему устройству, управляемому тактовыми импульсами, и, в частности, к схеме генерации тактовых импульсов, триггеру, использующему ее, и вычислительному устройству, используемому в устройстве для обработки больших наборов данных.

Уровень техники

Триггеры широко используются для регистрации цифровых сигналов. На фиг. 1 представлена функциональная схема и диаграмма последовательности сигналов существующего триггера. Как показано на фиг. 1, триггер включает в себя входной терминал D, выходной терминал Q и терминал СК тактового сигнала. Принцип работы триггера заключается в том, что, когда тактовый сигнал СК находится на нижнем уровне "0", данные входного терминала D передаются на выходной терминал Q и обрабатываются триггером до следующего тактового периода. Кроме того, из фиг. 1 можно видеть, что данные, передаваемые на выходной терминал Q, имеют задержки относительно тактового сигнала СК и входного терминала D. Например, задержка относительно тактового сигнала СК равна $СК2Q$, а задержка относительно входного терминала D равна $D2Q$. Когда множество триггеров соединены с последовательным подключением, происходит конфликт при передаче данных.

На фиг. 2 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов каскадных триггеров. Как показано на фиг. 2, когда множество триггеров, триггер1, триггер2, триггер3, ... и т.п. соединены с последовательным подключением, терминал СК тактового сигнала каждого уровня триггеров соединен с тем же тактовым сигналом. Поскольку когда тактовый сигнал находится на нижнем уровне, данные входного терминала D триггера предыдущего уровня напрямую передаются на выходной терминал Q, а триггер последующего уровня напрямую передает новые данные на триггер следующего уровня, вызывая нежелательное объединение. Чтобы исключить нежелательное объединение, обеспечивается сдвиг фаз тактовых сигналов и уменьшение ширины тактовых сигналов.

На фиг. 3 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов каскадных триггеров, использующих различные тактовые сигналы первым способом. Как показано на фиг. 3, когда множество триггеров, триггер1, триггер2, триггер3, ... и т.п., соединены с последовательным подключением, терминал СК тактового сигнала каждого уровня триггеров соединяется с различными тактовыми сигналами. Например, терминал СК тактового сигнала триггера1 соединяется с тактовым сигналом СК1, терминал СК тактового сигнала триггера2 соединяется с тактовым сигналом СК2, терминал СК тактового сигнала триггера3 соединяется с тактовым сигналом СК3, и так далее. В качестве примера используются первые триггеры третьего уровня, триггер1, триггер2 и триггер3. Из фиг. 3 можно понять, что, поскольку фазы тактовых сигналов СК1, СК2 и СК3 сдвинуты, данные, вводимые входным терминалом D, передаются в направлении триггеров, триггера1, триггера2 и триггера3, то есть данные поступают на триггер, в первую очередь на триггер1, а на триггер3 поступают в последнюю очередь. Поскольку тактовые сигналы СК1, СК2 и СК3 имеют разные задержки и задний фронт тактового сигнала СК3 поступает на триггер3 первым, а задний фронт тактового сигнала СК1 поступает на триггер1 последним, это означает, что триггер, на который данные поступают первыми, является триггером, на который задний фронт тактового импульса поступает последним. Таким образом, данные, передаваемые триггерами, триггером1, триггером2 и триггером3, передаются между множеством триггеров, триггером1, триггером2, триггером3 последовательно, чтобы эффективно исключить нежелательное объединение данных. В этом случае возникает другая проблема.

На фиг. 4 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов каскадных триггеров, использующих различные тактовые сигналы другим способом. Как показано на фиг. 3, когда множество триггеров, триггер1, триггер2, триггер3, ... и т.п., соединены с последовательным подключением, терминал СК тактового сигнала каждого из триггеров соединяется с различными тактовыми сигналами. Например, терминал СК тактового сигнала триггера1 соединяется с тактовым сигналом СК1, терминал СК тактового сигнала триггера2 соединяется с тактовым сигналом СК2, терминал СК тактового сигнала триггера3 соединяется с тактовым сигналом СК3, и так далее. Из фиг. 4 можно понять, что, когда фазы тактовых сигналов СК1, СК2 и СК3 не могут быть полностью сдвинуты, или когда ширина импульсов тактовых сигналов СК1, СК2 и СК3 чрезмерно велика, данные между нестабильными состояниями триггеров нежелательно объединяются. Неидеальный импульсный сигнал (сбой) напрямую переходит на следующий уровень из-за нежелательного объединения, что приводит к более высокому энергопотреблению. Кроме того, энергопотребление вычислительного чипа, использующего триггер, превышает ожидаемое значение. Это нежелательное объединение импульсного сигнала в обычном временном анализе также называется захватом. Кроме того, для полного сдвига фаз между тактовыми сигналами требуется большое количество буферов.

Поэтому эффективное уменьшение количества буферов, исключение нежелательного объединения, повышение корректности и точности передачи и защелкивания, представляет собой проблему, требующую решения.

Сущность изобретения

Для решения проблемы настоящее изобретение предлагает схему генерации тактовых импульсов, триггер, использующий ее, и вычислительное устройство, которое обеспечивает возможность эффектив-

ного формирования тактового импульса, сокращения использования буфера тактовых импульсов и повышения корректности и точности передачи и защелкивания.

Для решения поставленной задачи настоящее изобретение предоставляет схему генерации тактовых импульсов, включающую: входной терминал, выполненный с возможностью вывода импульсного сигнала; первый выходной терминал, выполненный с возможностью вывода первого тактового сигнала; второй выходной терминал, выполненный с возможностью вывода второго тактового сигнала; и схему входного возбуждения, схему триггера, схему формирования фронта, схему задержки обратной связи и схему выходного возбуждения, причем схема входного возбуждения, схема триггера, схема формирования фронта, схема задержки обратной связи и схема выходного возбуждения последовательно соединены между входным терминалом и первым выходным терминалом, а также вторым выходным терминалом с последовательным подключением.

Для лучшего решения задачи настоящее изобретение дополнительно предусматривает триггер, включающий: терминал для ввода данных, выполненный с возможностью ввода сигнала данных; терминал для вывода данных, выполненный с возможностью вывода сигнала данных; терминал для ввода тактового сигнала, выполненный с возможностью ввода первого тактового сигнала; множество уровней схем триггера, последовательно соединенных между терминалом для ввода данных и терминалом для вывода данных с последовательным подключением в соответствии с первой последовательностью; и множество уровней схем генерации тактовых импульсов, последовательно соединенных с последовательным подключением в соответствии со второй последовательностью и электрически соединенных с множеством уровней схем триггера, причем направление первой последовательности противоположно направлению второй последовательности, а указанная схема генерации тактовых импульсов представляет собой схему генерации тактовых импульсов.

Для лучшего решения задачи настоящее изобретение дополнительно предоставляет вычислительное устройство, включающее в себя один или более триггеров.

Далее настоящее изобретение подробно описана со ссылкой на прилагаемые чертежи и конкретные варианты осуществления, но это не должно использоваться в качестве ограничения данного изобретения.

Краткое описание чертежей

На фиг. 1 представлена функциональная схема и диаграмма последовательности сигналов существующего триггера.

На фиг. 2 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов существующих каскадных триггеров.

На фиг. 3 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов существующих каскадных триггеров, использующих различные тактовые сигналы первым способом.

На фиг. 4 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов существующих каскадных триггеров, использующих различные тактовые сигналы другим способом.

На фиг. 5 представлена схематическая иллюстрация построения схемы генерации тактовых импульсов согласно одному варианту осуществления по настоящему изобретению.

На фиг. 6 представлена схематическая иллюстрация построения схемы входного возбуждения согласно одному варианту осуществления по настоящему изобретению.

На фиг. 7 представлена схематическая иллюстрация построения схемы триггера согласно одному варианту осуществления по настоящему изобретению.

На фиг. 8 представлена схематическая иллюстрация построения схемы формирования фронта согласно одному варианту осуществления по настоящему изобретению.

На фиг. 9 представлена схематическая иллюстрация построения схемы блока задержки обратной связи согласно одному варианту осуществления по настоящему изобретению.

На фиг. 10 представлена схематическая иллюстрация построения схемы выходного возбуждения согласно одному варианту осуществления по настоящему изобретению.

На фиг. 11 представлена схематическая временная диаграмма тактового сигнала второго выходного терминала схемы генерации тактовых импульсов.

На фиг. 12 представлена диаграмма последовательности сигналов триггерного блока под управлением схемы генерации тактовых импульсов согласно одному варианту осуществления по настоящему изобретению.

На фиг. 13 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов триггера согласно одному варианту осуществления по настоящему изобретению.

На фиг. 14 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов триггера согласно другому варианту осуществления по настоящему изобретению.

Ссылочные обозначения.

100. Схема генерации тактовых импульсов.

101. Схема входного возбуждения.

102. Схема триггера.

103. Схема формирования фронта.
 104. Схема задержки обратной связи.
 105. Схема выходного возбуждения.
 200. Триггер.
 INV1, INV2, INV3, INV4 и INV5: Инверторы.
 NAND1 и NAND2: NAND-вентили.
 P1, P2 и P3: PMOS-транзисторы.
 N1, N2 и N3: NMOS-транзисторы.
 CKG, CKG1, CKG2 и CKG3: Схемы генерации тактовых импульсов.
 CKI: Входной терминал.
 SKO1: Первый выходной терминал.
 SKO2: Второй выходной терминал.
 SKP1, SKP2 и SKP3: Тактовые сигналы.
 Триггер1, триггер2 и триггер3: Схемы триггера.
 D1, D2 и D3: Входные терминалы.
 Q1, Q2 и Q3: Выходные терминалы.
 DC: Схема задержки.
 VDD: Источник питания.
 VSS: Заземление.

Осуществление изобретения

Принцип построения и принцип работы этого устройства подробно описаны ниже со ссылкой на прилагаемые чертежи.

Некоторые термины используются для обозначения конкретных компонентов в описании и прилагаемой формуле изобретения. Те, кто обладает обычными знаниями в данной области, должны понимать, что производители могут обозначать один и тот же компонент разными наименованиями. В описании и прилагаемой формуле изобретения различие в функциях компонентов, а не различие в названии, используется в качестве стандарта для различения компонентов.

Термины "включает" и "содержит", упомянутые во всем описании и прилагаемой формуле изобретения, являются открытыми терминами и, следовательно, должны объясняться как "включает, но не ограничивается этим". Кроме того, термин "соединение" включает любое прямое или не прямое средство электрического соединения. Непрямое средство электрического соединения включает соединение через другое устройство.

На фиг. 5 представлена схематическая иллюстрация построения схемы генерации тактовых импульсов согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 5, схема 100 генерации тактовых импульсов включает входной терминал CKI, первый выходной терминал SKO1 и второй выходной терминал SKO2. Схема 101 входного возбуждения, схема 102 триггера, схема 103 формирования фронта, схема 104 задержки обратной связи и схема 105 выходного возбуждения последовательно соединены между входным терминалом CKI и первым выходным терминалом SKO1, а также вторым выходным терминалом SKO2 с последовательным подключением.

Более конкретно, на фиг. 6 представлена схематическая иллюстрация построения схемы входного возбуждения согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 5 и на фиг. 6, схема 101 входного возбуждения образована двумя инверторами INV1 и INV2, которые соединены с последовательным подключением. Каждый из инверторов INV1 и INV2 включает входной терминал и выходной терминал. Входной терминал инвертора INV1 электрически соединен с входным терминалом CKI схемы 100 генерации тактовых импульсов и выполнен с возможностью предоставления начального тактового сигнала схеме 100 генерации тактовых импульсов. Выходной терминал инвертора INV1 электрически соединен с входным терминалом инвертора INV2 и электрически соединен со схемой 103 формирования фронта, а выходной терминал инвертора INV2 электрически соединен со схемой 102 триггера. В данном изобретении в качестве примера используются только два инвертора, соединенных друг с другом с последовательным подключением. Конечно, схема 101 входного возбуждения в альтернативном варианте может быть образована множеством инверторов, соединенных друг за другом, что обеспечивает возможность двум выходным сигналам, электрически подключенным к схеме 103 формирования фронта и электрически подключенным к схеме 102 триггера, иметь инвертированные фазы. Это не ограничено в настоящем изобретении.

Более конкретно, на фиг. 7 представлена схематическая иллюстрация построения схемы триггера согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 5-7, схема 102 триггера образована двумя NAND-вентилем NAND1 и NAND2, которые находятся в перекрестном соединении друг с другом. Каждый из NAND-вентилей NAND1 и NAND2 включает первый входной терминал, второй входной терминал и выходной терминал. Первый входной терминал NAND-вентилей NAND1 электрически соединен с выходным терминалом NAND-вентилей NAND2, второй входной терминал NAND-вентилей NAND1 электрически соединен со схемой 104 задержки обратной связи, выходной терминал NAND-вентилей NAND1 электрически соединен со схемой 103 формирования фронта и вторым

входным терминалом NAND-вентиля NAND2, а первый входной терминал NAND-вентиля NAND2 электрически соединен с выходным терминалом инвертора INV2.

Более конкретно, на фиг. 8 представлена схематическая иллюстрация построения схемы формирования фронта согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 5-8, схема формирования фронта включает PMOS-транзисторы P1, P2 и P3 и NMOS-транзисторы N1, N2 и N3. Каждый из PMOS-транзисторов или каждый из NMOS-транзисторов включает первый терминал, второй терминал и управляющий терминал. Первые терминалы PMOS-транзисторов P1 и P2 электрически соединены с источником VDD питания, вторые терминалы PMOS-транзисторов P1 и P2 электрически соединены с первым терминалом PMOS-транзистора P3, второй терминал PMOS-транзистора P3 соответственно электрически соединен с первыми терминалами NMOS-транзисторов N1 и N2, второй терминал NMOS-транзистора N2 электрически соединен с первым терминалом NMOS-транзистора N3, вторые терминалы NMOS-транзисторов N1 и N3 электрически соединены с заземлением VSS, управляющие терминалы PMOS-транзистора P1 и NMOS-транзистора N2 электрически соединены с выходным терминалом инвертора INV1, управляющие терминалы PMOS-транзистора P3 и NMOS-транзистора N1 электрически соединены с выходным терминалом NAND-вентиля NAND1, и управляющие терминалы PMOS-транзистора P2 и NMOS-транзистора N3 электрически соединены со вторым терминалом PMOS-транзистора P3 и электрически соединены со схемой 104 задержки обратной связи и схемой 105 выходного возбуждения.

На фиг. 9 представлена схематическая иллюстрация построения схемы блока задержки обратной связи согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 5-9, схема 104 задержки обратной связи образована множеством инверторов, соединенных с последовательным подключением. Схема 104 задержки обратной связи включает входной терминал и выходной терминал.

Входной терминал схемы 104 задержки обратной связи электрически соединен со вторым терминалом PMOS-транзистора P3 в схеме 103 формирования фронта, а выходной терминал схемы 104 задержки обратной связи электрически соединен со вторым входным терминалом NAND-вентиля NAND1. Следует отметить, что инверторы с нечетным номером образуют схему 104 задержки обратной связи для вывода сигнала, инвертированного к сигналу входного терминала. Конкретное количество зависит от продолжительности, требуемой для задержки входного сигнала. Это не ограничено в настоящем изобретении.

На фиг. 10 представлена схематическая иллюстрация построения схемы выходного возбуждения согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 5-10, схема 105 выходного возбуждения включает в себя инверторы INV3, INV4 и INV5. Каждый из инверторов INV3, INV4 и INV5 включает в себя входной терминал и выходной терминал. Входной терминал инвертора INV3 электрически соединен со вторым терминалом PMOS-транзистора P3 в схеме 103 формирования фронта, выходной терминал инвертора INV3 электрически соединен с первым выходным терминалом SKO1, входной терминал инвертора INV4 электрически соединен с входным терминалом инвертора INV3 и входные терминалы инверторов INV3 и INV4 совместно соединены со вторым терминалом PMOS-транзистора P3 в схеме 103 формирования фронта, выходной терминал инвертора INV4 электрически соединен с входным терминалом инвертора INV5 и выходной терминал инвертора INV5 электрически соединен со вторым выходным терминалом SKO2. В настоящем изобретении описание выполнено с использованием только одного инвертора INV3, одного инвертора INV4 и одного инвертора INV5. Конечно, инверторы INV3, INV4 и INV5 могут быть образованы альтернативно путем соединения множества инверторов с последовательным подключением, при условии инверсии выходных сигналов первого выходного терминала SKO1 и второго выходного терминала SKO2. Это не ограничено в настоящем изобретении.

Таким образом, как показано на фиг. 5-10, начальный тактовый сигнал вводится в схему 100 генерации тактовых импульсов с входного терминала SKI, и два инвертированных по фазе тактовых сигнала генерируются схемой 100 генерации тактовых импульсов и соответственно выводятся с использованием первого выходного терминала SKO1 и второго выходного терминала SKO2. На фиг. 11 представлена схематическая временная диаграмма тактового сигнала второго выходного терминала схемы генерации тактовых импульсов. Как показано на фиг. 1 и на фиг. 11, тактовые сигналы, выводимые первым выходным терминалом SKO1 и вторым выходным терминалом SKO2 схемы 100 генерации тактовых импульсов, относятся только к восходящему фронту начального тактового сигнала, вводимого входным терминалом SKI. Таким образом, ширина импульса тактового сигнала, выводимого вторым выходным терминалом SKO2 схемы 100 формирования тактовых импульсов, не изменяется независимо от того, является ли ширина импульса начального тактового сигнала, вводимого входным терминалом SKI схемы 100 генерации тактовых импульсов, широкой или узкой.

На фиг. 12 представлена диаграмма последовательности сигналов триггерного блока под управлением схемы генерации тактовых импульсов согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 12, для триггера триггерного блока, корректная передача данных зависит от времени установки данных и времени удержания данных.

Требуемое время удержания данных, требуемое время установки данных, время удержания триггерного блока, время установки триггерного блока, время задержки SK Gen и ширина тактового импуль-

са должны удовлетворять следующим соотношениям:

Требуемое Время удержания = Время удержания триггера + (Задержка СК Gen + Ширина импульса)
(формула 1); и

Требуемое Время установки = Время установки триггера - (Задержка СК Gen + Ширина импульса)
(формула 2).

Если Время установки триггера меньше, чем Ширина импульса, то для обеспечения отсутствия нежелательного объединения данных между нестабильными состояниями каскадных триггерных блоков Требуемое Время установки = макс (Время установки триггера, Ширина импульса), так что Ширина импульса тактового сигнала ограничивается. Если Время установки триггера превышает Ширину импульса, запись не может быть выполнена. То есть, весь этап записи данных триггерного блока не может соответствовать требованиям установки данных. В этой связи настоящее изобретение предусматривает нижеописанный триггер.

На фиг. 13 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов триггера согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 13, триггер 200 включает в себя каскадные схемы триггеров, триггер1, триггер2 и триггер3 и каскадные схемы СКG1, СКG2 и СКG3 генерации тактовых импульсов. В настоящем изобретении для описания использован пример, в котором количество уровней равно трем. При реальном использовании уровней может быть больше. Это не ограничено в настоящем изобретении. Каскадная последовательность схем триггера, триггер1, триггер2 и триггер3, представляет собой последовательность передачи данных, а именно, от триггера1 к триггеру2, к триггеру3, а каскадная последовательность схем СКG1, СКG2 и СКG3 генерации тактовых импульсов представляет собой последовательность передачи тактового сигнала, а именно, от СКG1 к СКG2, к СКG3. Следует отметить, что схема СКG1 генерации тактовых импульсов первого уровня электрически соединена с триггером3 схемы триггера третьего уровня, схема СКG2 генерации тактовых импульсов второго уровня электрически соединена с триггером2 схемы триггера второго уровня, схема СКG3 генерации тактовых импульсов третьего уровня электрически соединена с триггером1 схемы триггера первого уровня. То есть, каскадная последовательность схем триггера, триггер1, триггер2 и триггер3, противоположна каскадной последовательности схем генерации тактовых импульсов.

Для подробного описания, вновь обращаясь к фиг. 13, вторые выходные терминалы СКО2 схем СКG1, СКG2 и СКG3 генерации тактовых импульсов, соответственно, обеспечивают тактовые сигналы СКP1, СКP2 и СКP3 в схемы триггера, триггер3, триггер2 и триггер1. Первый выходной терминал СКО1 схемы СКG1 генерации тактовых импульсов электрически соединен с входным терминалом СК1 схемы СКG2 генерации тактовых импульсов, а первый выходной терминал СКО1 схемы СКG2 генерации тактовых импульсов электрически соединен с входным терминалом СК1 схемы СКG3 генерации тактовых импульсов. Тактовый сигнал, выводимый первым выходным терминалом СКО1, и тактовый сигнал, выводимый вторым выходным терминалом СКО2, имеют противоположные фазы. Таким образом, фазы тактовых сигналов СКP1, СКP2 и СКP3 полностью сдвигаются и никакие фазы не перекрываются, что обеспечивает более высокую эффективность по сравнению со случаем, когда фазы тактовых сигналов СКP1, СКP2 и СКP3 сдвигаются за счет подключения буферов, и более надежную гарантию того, что фазы полностью сдвинуты и буферы уменьшены.

На фиг. 14 представлена схематическая иллюстрация построения схемы и диаграмма последовательности сигналов триггера согласно одному варианту осуществления по настоящему изобретению. Как показано на фиг. 14, отличие от варианта осуществления, показанного на фиг. 13, заключается в том, что первый выходной терминал СКО1 схемы СКG1 генерации тактовых импульсов электрически соединен с входным терминалом СК1 схемы СКG2 генерации тактовых импульсов и входным терминалом СК1 схемы СКG3 генерации тактовых импульсов. Таким образом, когда существует относительно большая логическая задержка между двумя уровнями соседних схем триггера, таких как триггер1 и триггер2, например, когда выходной терминал Q1 триггера1 и входной терминал D2 триггера2 электрически соединены со схемой DC задержки, проблема установки тактового сигнала критического пути синхронизации может быть решена для повышения эффективности работы триггера.

Конечно, при реальном применении один уровень схемы триггера может соответствовать одному уровню схемы генерации тактовых импульсов, то есть один уровень схемы генерации тактовых импульсов обеспечивает тактовый сигнал для одного уровня схемы триггера. В альтернативном варианте каждый уровень схемы триггера включает в себя множество триггерных блоков, соединенных с последовательным подключением, множество триггерных блоков, соединенных с параллельным подключением, или множество триггерных блоков с комбинацией с последовательным и параллельным подключениями. То есть, один уровень схемы генерации тактовых импульсов обеспечивает тактовый сигнал для множества триггерных блоков. Кроме того, в соответствии с требованиями загрузки возбуждения, каждый уровень схемы генерации тактовых импульсов может альтернативно включать множество схем генерации тактовых импульсов, и одна схема генерации тактовых импульсов соответствует одному триггерному блоку. Таким образом, множество сформированных схем генерации тактовых импульсов соединены вместе для формирования тактового дерева. Поскольку каскадная последовательность схем триггера проти-

воположна каскадной последовательности схем генерации тактовых импульсов, формируется обратное тактовое дерево. Кроме того, функции восстановления и усиления сигнала реализуются за счет использования второго выходного терминала СКО2 схемы 100 генерации тактовых импульсов. Когда тактовое дерево имеет большое разветвление, то есть загрузка тактового дерева является большой, эффективность передачи данных может быть повышена.

На основании вышеизложенного, схема генерации тактовых импульсов, предоставляемая настоящим изобретением, может генерировать тактовый сигнал с одинаковой шириной импульса независимо от формы волны начального тактового сигнала схемы генерации тактовых импульсов и может эффективно формировать импульс тактового сигнала. Кроме того, благодаря использованию проектируемой структуры обратного тактового дерева, триггер, предусмотренный настоящим изобретением, обеспечивает возможность эффективной реализации полного сдвига фаз тактовых сигналов, сокращения количества используемых тактовых буферов и повышения корректности и точности передачи и обработки данных.

Настоящее изобретение дополнительно предоставляет вычислительное устройство, включающее в себя один или более триггеров, выполненных с возможностью хранения и передачи данных.

Другими словами, настоящее изобретение может дополнительно иметь множество других вариантов осуществления. Специалист в данной области может вносить различные соответствующие изменения и вариации в соответствии с настоящим изобретением, не отступая от духа и сути этого изобретения. Однако такие соответствующие изменения и вариации должны подпадать под сферу защиты формулы изобретения, приложенной к настоящему изобретению.

Промышленная применимость

Схема генерации тактовых импульсов, триггер, использующий ее, и вычислительное устройство, предложенные в настоящем изобретении, обладают нижеследующими полезными эффектами.

Схема генерации тактовых импульсов, предоставляемая настоящим изобретением, может генерировать тактовый сигнал с одинаковой шириной импульса независимо от формы волны начального тактового сигнала схемы генерации тактовых импульсов и может эффективно формировать импульс тактового сигнала. Кроме того, благодаря использованию проектируемой структуры обратного тактового дерева, триггер может обеспечивать возможность эффективной реализации полного сдвига фаз между тактовыми сигналами, сокращения количества используемых тактовых буферов и повышения корректности и точности передачи и защелкивания.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема (100) генерации тактовых импульсов, содержащая:
 входной терминал (СК1), выполненный с возможностью ввода импульсного сигнала;
 первый выходной терминал (СК01), выполненный с возможностью вывода первого тактового сигнала (СКР1);
 второй выходной терминал (СК02), выполненный с возможностью вывода второго тактового сигнала (СКР2); и
 схему (101) входного возбуждения, схему (102) триггера, схему (103) формирования фронта, схему (104) задержки обратной связи и схему (105) выходного возбуждения, причем
 входной терминал (СК1) соединен со схемой (101) входного возбуждения,
 схема (101) входного возбуждения соединена со схемой (102) триггера и схемой (103) формирования фронта,
 схема (102) триггера соединена со схемой (103) формирования фронта и схемой (104) задержки обратной связи,
 схема (103) формирования фронта соединена со схемой (104) задержки обратной связи и схемой (105) выходного возбуждения,
 схема (105) выходного возбуждения соединена с первым выходным терминалом (СК01) и вторым выходным терминалом (СК02).

2. Схема (100) генерации тактовых импульсов по п.1, в которой схема (101) входного возбуждения содержит первый инвертор и второй инвертор, которые последовательно соединены с последовательным подключением, при этом каждый из первого инвертора и второго инвертора содержит первый терминал и второй терминал, причем первый терминал первого инвертора электрически соединен с входным терминалом (СК1), второй терминал второго инвертора электрически соединен со схемой (102) триггера, а второй терминал первого инвертора электрически соединен с первым терминалом второго инвертора и схемой (103) формирования фронта.

3. Схема (100) генерации тактовых импульсов по п.2, в которой схема (102) триггера содержит первый NAND-вентиль и второй NAND-вентиль, которые находятся в перекрестном соединении друг с другом, при этом каждый из первого NAND-вентилей и второго NAND-вентилей содержит первый терминал, второй терминал и третий терминал, причем первый терминал первого NAND-вентилей электрически соединен с третьим терминалом второго NAND-вентилей, второй терминал первого NAND-вентилей электрически соединен со схемой (104) задержки обратной связи, третий терминал первого NAND-вентилей

электрически соединен со вторым терминалом второго NAND-вентиля и схемой (103) формирования фронта, первый терминал второго NAND-вентиля электрически соединен со вторым терминалом второго инвертора и первый терминал второго NAND-вентиля электрически соединен со вторым терминалом второго инвертора.

4. Схема (100) генерации тактовых импульсов по п.3, в которой схема (103) формирования фронта содержит первый PMOS-транзистор, второй PMOS-транзистор, третий PMOS-транзистор, первый NMOS-транзистор, второй NMOS-транзистор и третий NMOS-транзистор, при этом каждый из первого PMOS-транзистора, второго PMOS-транзистора, третьего PMOS-транзистора, первого NMOS-транзистора, второго NMOS-транзистора и третьего NMOS-транзистора содержит первый терминал, второй терминал и управляющий терминал, причем первый терминал первого PMOS-транзистора и первый терминал второго PMOS-транзистора электрически соединены с источником питания, второй терминал первого PMOS-транзистора и второй терминал второго PMOS-транзистора электрически соединены с первым терминалом третьего PMOS-транзистора, второй терминал третьего PMOS-транзистора соответственно электрически соединен с первым терминалом первого NMOS-транзистора и первым терминалом второго NMOS-транзистора, второй терминал второго NMOS-транзистора электрически соединен с первым терминалом третьего NMOS-транзистора, второй терминал первого NMOS-транзистора и второй терминал третьего NMOS-транзистора электрически соединены с заземлением, управляющий терминал первого PMOS-транзистора и управляющий терминал второго NMOS-транзистора электрически соединены со вторым терминалом первого инвертора, управляющий терминал третьего PMOS-транзистора и управляющий терминал первого NMOS-транзистора электрически соединены с третьим терминалом первого NAND-вентиля, а управляющий терминал второго PMOS-транзистора и управляющий терминал второго NMOS-транзистора электрически соединены со вторым терминалом второго PMOS-транзистора, схемой (104) задержки обратной связи и схемой (105) выходного возбуждения.

5. Схема (100) генерации тактовых импульсов по п.4, в которой схема (104) задержки обратной связи содержит первый терминал, второй терминал и множество инверторов, соединенных между первым терминалом схемы задержки обратной связи и вторым терминалом схемы задержки обратной связи с последовательным подключением, причем первый терминал схемы задержки обратной связи электрически соединен со вторым терминалом третьего PMOS-транзистора, а второй терминал схемы задержки обратной связи электрически соединен со вторым терминалом первого NAND-вентиля.

6. Схема (100) генерации тактовых импульсов по п.5, в которой схема (105) выходного возбуждения содержит третий инвертор, четвертый инвертор и пятый инвертор, при этом каждый из третьего инвертора, четвертого инвертора и пятого инвертора содержит первый терминал и второй терминал, причем первый терминал третьего инвертора электрически соединен со вторым терминалом третьего PMOS-транзистора, второй терминал третьего инвертора электрически соединен с первым выходным терминалом (СК01), первый терминал четвертого инвертора электрически соединен со вторым терминалом третьего PMOS-транзистора, второй терминал четвертого инвертора электрически соединен с первым терминалом пятого инвертора, а второй терминал пятого инвертора электрически соединен со вторым выходным терминалом (СК02).

7. Триггерное устройство, содержащее:

терминал для ввода данных, выполненный с возможностью ввода сигнала данных;
 терминал для вывода данных, выполненный с возможностью вывода сигнала данных;
 терминал для ввода тактового сигнала, выполненный с возможностью ввода первого тактового сигнала;
 множество уровней схем триггера, последовательно соединенных между терминалом для ввода данных и терминалом для вывода данных с последовательным подключением в соответствии с первой последовательностью; и

множество уровней схем генерации тактовых импульсов, последовательно соединенных с последовательным подключением в соответствии со второй последовательностью и электрически соединенных с множеством уровней схем триггера, причем

направление первой последовательности противоположно направлению второй последовательности, а схема генерации тактовых импульсов представляет собой схему (100) генерации тактовых импульсов по п.1.

8. Триггерное устройство по п.7, в котором один уровень из уровней схем триггера соответствует одному уровню из указанных уровней схем генерации тактовых импульсов.

9. Триггерное устройство по п.8, в котором каждый уровень из уровней схем триггера дополнительно содержит множество триггерных блоков.

10. Триггерное устройство по п.9, в котором каждый уровень из уровней схем генерации тактовых импульсов дополнительно содержит множество схем генерации тактовых импульсов.

11. Триггерное устройство по п.9, в котором множество триггерных блоков соединены с последовательным подключением.

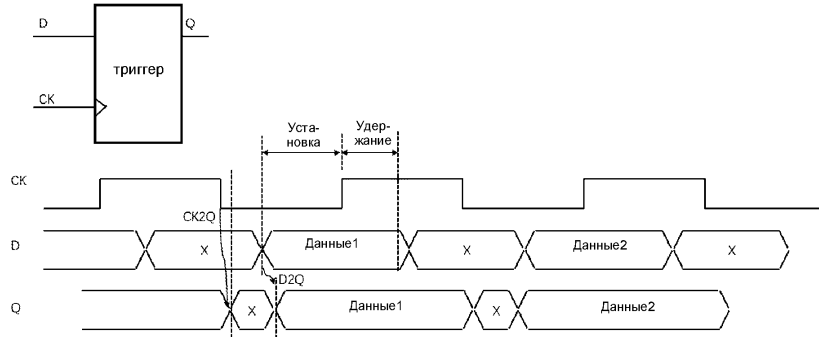
12. Триггерное устройство по п.9, в котором множество триггерных блоков соединены с параллельным подключением.

13. Триггерное устройство по п.9, в котором множество триггерных блоков представляют собой

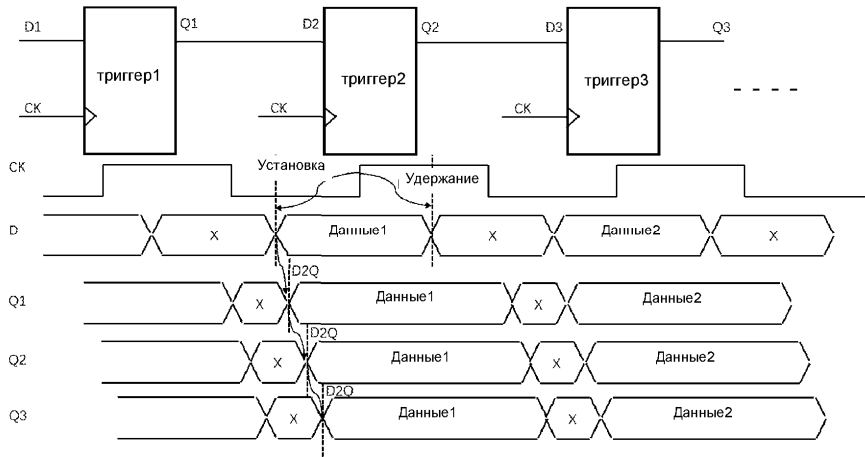
комбинацию соединений с последовательным и параллельным подключениями.

14. Триггерное устройство по п.10, в котором каждый из триггерных блоков соответствует каждой из схем генерации тактовых импульсов.

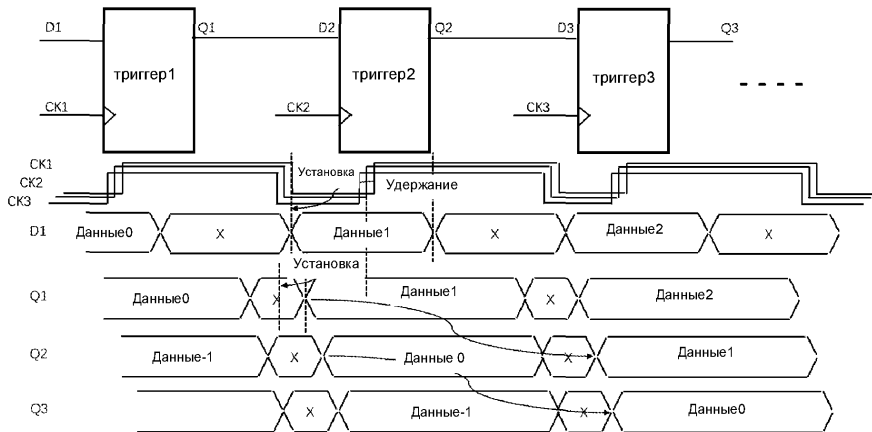
15. Вычислительное устройство, содержащее одно или более триггерных устройств по любому из пп.7-14.



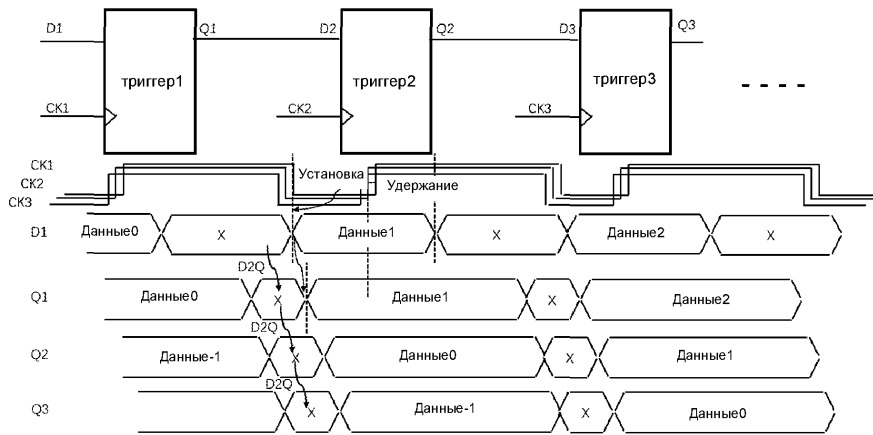
Фиг. 1



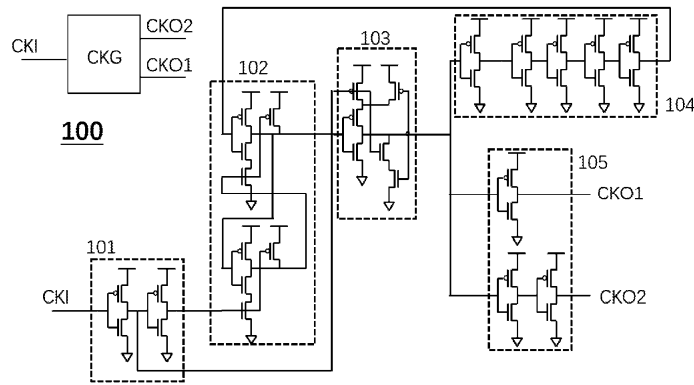
Фиг. 2



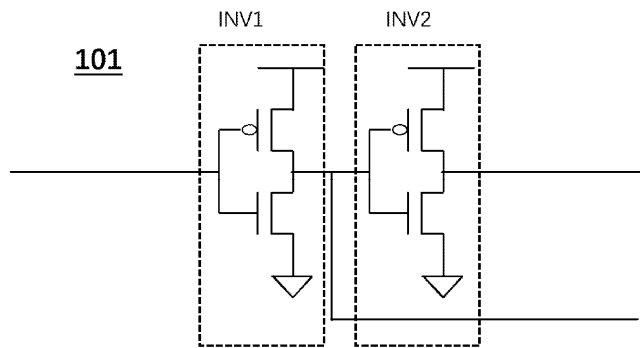
Фиг. 3



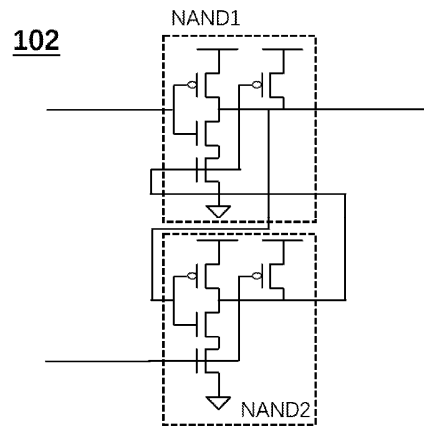
Фиг. 4



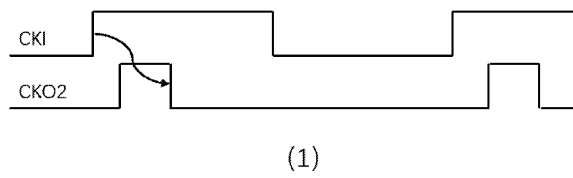
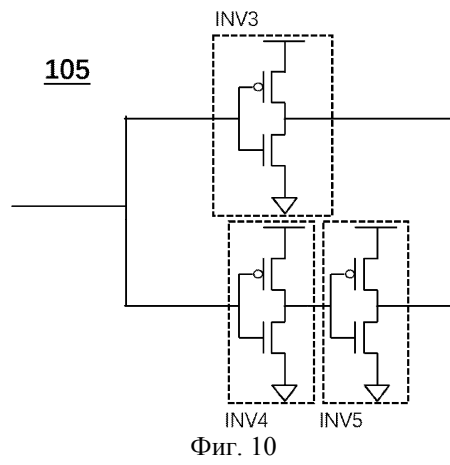
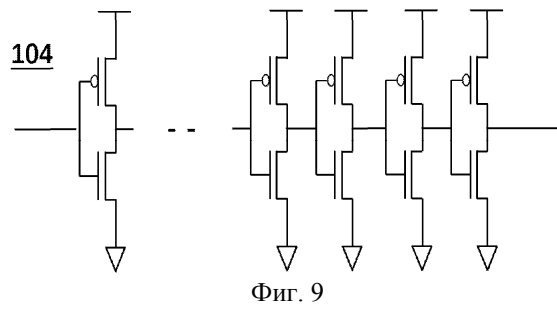
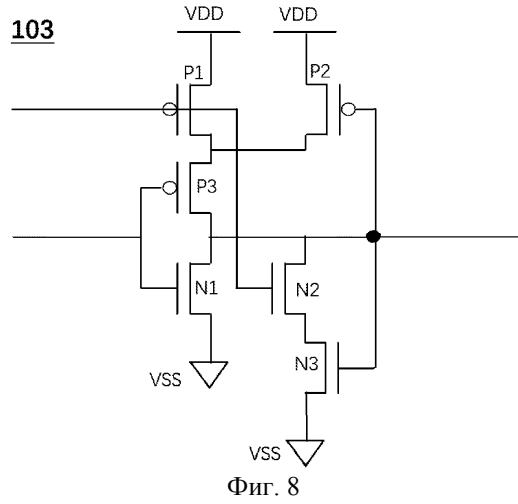
Фиг. 5

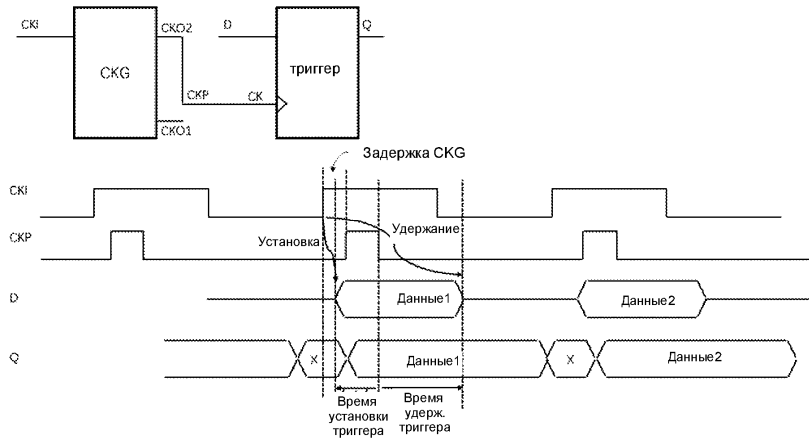


Фиг. 6

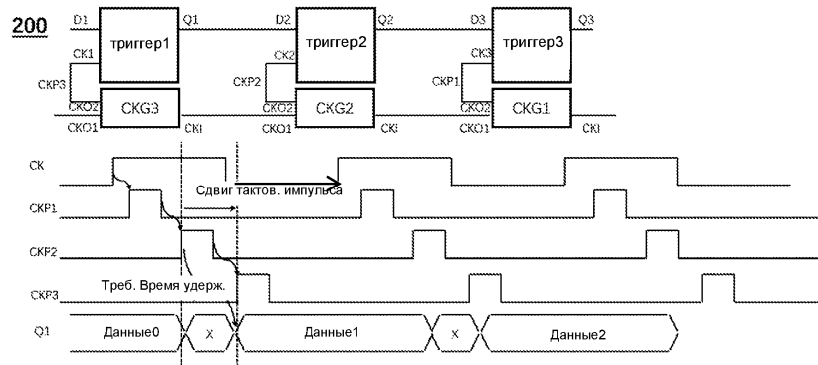


Фиг. 7

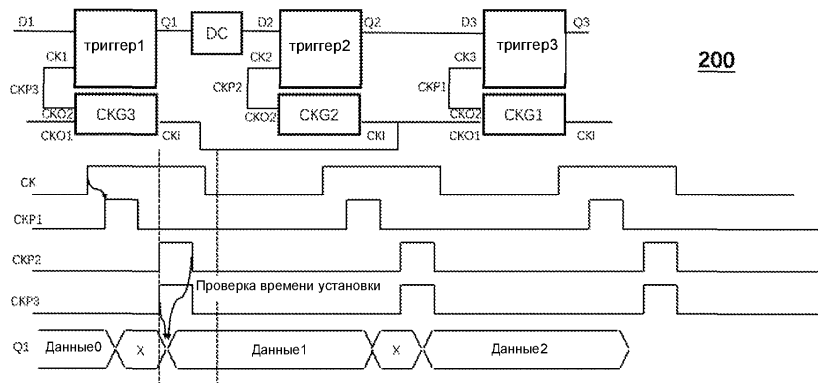




Фиг. 12



Фиг. 13



Фиг. 14

