

(19)



**Евразийское
патентное
ведомство**

(11) **047830**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента
2024.09.17

(51) Int. Cl. **H02H 9/02 (2006.01)**

(21) Номер заявки
202291432

(22) Дата подачи заявки
2021.07.27

(54) **СХЕМЫ ОГРАНИЧЕНИЯ ТОКА**

(31) **202110816823.1**

(32) **2021.07.20**

(33) **CN**

(43) **2024.03.18**

(86) **PCT/CN2021/108529**

(87) **WO 2023/000355 2023.01.26**

(71)(73) Заявитель и патентовладелец:

**ТиСиЭл ЧАЙНА СТАР
ОПТОЭЛЕКТРОНИКС
ТЕКНОЛОДЖИ КО., ЛТД. (CN)**

(72) Изобретатель:
Ли Хаожань (CN)

(74) Представитель:
Кузнецова С.А. (RU)

(56) **CN-A-111064159
CN-A-101291103
JP-A-06232646
JP-A-01270727
EP-A2-2475099**

(57) Предложена схема ограничения тока, которая содержит первый электрод напряжения, второй электрод напряжения, первый транзистор и модуль ограничения тока. Входной электрод первого транзистора электрически соединен с первым электродом напряжения, и выходной электрод первого транзистора электрически соединен со вторым электродом напряжения. Модуль ограничения тока электрически соединен с входным электродом первого транзистора и управляющим электродом первого транзистора. Модуль ограничения тока выполнен с возможностью управления разностью напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора для управления состоянием первого транзистора таким образом, чтобы значение ограничения тока схемы ограничения тока было регулируемым.

B1

047830

047830

B1

Область техники, к которой относится изобретение

Настоящее изобретение относится к области технологии отображения и, в частности, к схеме ограничения тока.

Предпосылки создания изобретения

В индустрии дисплейных панелей традиционные интегральные микросхемы управления питанием будут выполнять операцию ограничения тока во время начала подачи напряжения AVDD. Целью операции ограничения тока является медленное включение развязывающих транзисторов и плавное установление напряжения AVDD для предотвращения повреждения других электронных компонентов в контуре чрезмерными токами.

Однако недостатком традиционной конструкции является то, что значение ограничения тока для напряжения AVDD является постоянным. Если значение ограничения тока слишком мало, интегральная микросхема управления питанием не может установить напряжение в течение заданного времени во время загрузки при большой нагрузке из-за ограничения тока, и, таким образом, загрузка не выполняется; если значение ограничения тока чрезмерно велико, компоненты интегральной микросхемы управления питанием повреждаются длительным высоким током, когда нагрузка выходных каскадов замыкается накоротко, например, повреждается и сгорает драйвер истока.

Сущность изобретения

Техническая задача.

Таким образом, в настоящем изобретении предоставлена схема ограничения тока, которая может сделать значение ограничения тока схемы ограничения тока регулируемым, тем самым предотвращая сбой при загрузке интегральной микросхемы управления питанием при большой нагрузке и дополнительно предотвращая повреждение интегральной микросхемы управления питанием из-за короткого замыкания нагрузки выходных каскадов во время загрузки.

Техническое решение.

В первом аспекте вариант осуществления настоящего изобретения заключается в предоставлении схемы ограничения тока. Схема ограничения тока содержит первый электрод напряжения, второй электрод напряжения, первый транзистор и модуль ограничения тока. Входной электрод первого транзистора электрически соединен с первым электродом напряжения, и выходной электрод первого транзистора электрически соединен со вторым электродом напряжения. Модуль ограничения тока электрически соединен с входным электродом первого транзистора и управляющим электродом первого транзистора. Модуль ограничения тока выполнен с возможностью управления разностью напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора для управления состоянием первого транзистора таким образом, чтобы значение ограничения тока схемы ограничения тока было регулируемым.

Необязательно модуль ограничения тока содержит второй транзистор, первый резистор, третий транзистор и блок регулирования. Первый электрод второго транзистора электрически соединен с первым управляющим электродом, второй электрод второго транзистора электрически соединен с входным электродом первого транзистора, и третий электрод второго транзистора электрически соединен с управляющим электродом первого транзистора. Первый электрод первого резистора электрически соединен с входным электродом первого транзистора, и второй электрод первого резистора электрически соединен с управляющим электродом первого транзистора. Первый электрод третьего транзистора электрически соединен со вторым управляющим электродом, второй электрод третьего транзистора электрически соединен с управляющим электродом первого транзистора, и третий электрод третьего транзистора соединен с блоком регулирования. Блок регулирования выполнен с возможностью управления состоянием первого транзистора.

Необязательно блок регулирования содержит множество подблоков резистивного управления, которые расположены параллельно. Соответствующие первые электроды множества подблоков резистивного управления электрически соединены с третьим электродом третьего транзистора. Соответствующие вторые электроды множества подблоков резистивного управления электрически соединены с электродом заземления, и каждый из множества подблоков резистивного управления содержит второй резистор.

Необязательно разность напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора T1 получают по формуле: $V_{gs} = -V_1 * R_1 / (R_1 + R_x)$, где V_{gs} - разность напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора, V_1 - значение напряжения на входном электроде первого транзистора, R_1 - значение сопротивления первого резистора и R_x - значение сопротивления x подблоков резистивного управления, расположенных параллельно.

Необязательно схема ограничения тока дополнительно содержит четвертый транзистор. Входной электрод четвертого транзистора электрически соединен с первым электродом напряжения, и выходной электрод четвертого транзистора электрически соединен со вторым электродом напряжения.

Необязательно схема ограничения тока дополнительно содержит блок синхронизации, блок сравнения и блок постоянного тока. Блок синхронизации электрически соединен с первым электродом блока сравнения. Второй электрод блока сравнения электрически соединен со вторым электродом напряжения.

На третий электрод блока сравнения поступает сигнал постоянного напряжения. Четвертый электрод блока сравнения электрически соединен с первым электродом блока постоянного тока. Второй электрод блока постоянного тока электрически соединен с управляющим электродом четвертого транзистора. Блок синхронизации выполнен с возможностью вывода управляющего сигнала блока сравнения через заданные интервалы времени. Блок сравнения управляется управляющим сигналом блока сравнения для вывода управляющего сигнала блока постоянного тока с четвертого электрода блока сравнения на первый электрод блока постоянного тока на основе напряжения на втором электроде блока сравнения и напряжения на третьем электроде блока сравнения. Блок постоянного тока управляется управляющим сигналом блока постоянного тока для вывода постоянного тока.

Необязательно блок синхронизации содержит таймер, электрически соединенный с первым электродом блока сравнения.

Необязательно блок сравнения содержит компаратор. Первый электрод компаратора электрически соединен с блоком синхронизации. Второй электрод компаратора электрически соединен со вторым электродом напряжения. На третий электрод компаратора поступает сигнал постоянного напряжения. Четвертый электрод компаратора электрически соединен с первым электродом блока постоянного тока.

Необязательно блок постоянного тока содержит источник постоянного тока. Первый электрод источника постоянного тока электрически соединен с четвертым электродом блока сравнения, второй электрод источника постоянного тока электрически соединен с управляющим электродом четвертого транзистора, и третий электрод источника постоянного тока электрически соединен с наземным электродом.

Необязательно значение напряжения сигнала постоянного напряжения находится в диапазоне от 0,85 от значения напряжения первого электрода напряжения до 0,9 от значения напряжения первого электрода напряжения.

Во втором аспекте вариант осуществления настоящего изобретения заключается в предоставлении схемы ограничения тока. Схема ограничения тока содержит первый электрод напряжения, второй электрод напряжения, первый транзистор и модуль ограничения тока. Входной электрод первого транзистора электрически соединен с первым электродом напряжения, и выходной электрод первого транзистора электрически соединен со вторым электродом напряжения. Модуль ограничения тока электрически соединен с входным электродом первого транзистора и управляющим электродом первого транзистора. Модуль ограничения тока выполнен с возможностью управления разностью напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора для управления состоянием первого транзистора таким образом, чтобы значение ограничения тока схемы ограничения тока было регулируемым. Модуль ограничения тока содержит второй транзистор, первый резистор, третий транзистор и блок регулирования. Первый электрод второго транзистора электрически соединен с первым управляющим электродом, второй электрод второго транзистора электрически соединен с входным электродом первого транзистора, и третий электрод второго транзистора электрически соединен с управляющим электродом первого транзистора. Первый электрод первого резистора электрически соединен с входным электродом первого транзистора, и второй электрод первого резистора электрически соединен с управляющим электродом первого транзистора. Первый электрод третьего транзистора электрически соединен со вторым управляющим электродом, второй электрод третьего транзистора электрически соединен с управляющим электродом первого транзистора, и третий электрод третьего транзистора соединен с блоком регулирования. Блок регулирования выполнен с возможностью управления состоянием первого транзистора. Схема ограничения тока дополнительно содержит четвертый транзистор. Входной электрод четвертого транзистора электрически соединен с первым электродом напряжения, и выходной электрод четвертого транзистора электрически соединен со вторым электродом напряжения.

Необязательно блок регулирования содержит множество подблоков резистивного управления, которые расположены параллельно. Соответствующие первые электроды множества подблоков резистивного управления электрически соединены с третьим электродом третьего транзистора. Соответствующие вторые электроды множества подблоков резистивного управления электрически соединены с электродом заземления, и каждый из множества подблоков резистивного управления содержит второй резистор.

Необязательно разность напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора $T1$ получают по формуле: $V_{gs} = -V1 * R1 / (R1 + R_x)$, где V_{gs} - разность напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора, $V1$ - значение напряжения на входном электроде первого транзистора, $R1$ - значение сопротивления первого резистора и R_x - значение сопротивления x подблоков резистивного управления, расположенных параллельно.

Необязательно схема ограничения тока дополнительно содержит блок синхронизации, блок сравнения и блок постоянного тока. Блок синхронизации электрически соединен с первым электродом блока сравнения. Второй электрод блока сравнения электрически соединен со вторым электродом напряжения. На третий электрод блока сравнения поступает сигнал постоянного напряжения. Четвертый электрод блока сравнения электрически соединен с первым электродом блока постоянного тока. Второй электрод блока постоянного тока электрически соединен с управляющим электродом четвертого транзистора. Блок синхронизации выполнен с возможностью вывода управляющего сигнала блока сравнения через

заданные интервалы времени. Блок сравнения управляется управляющим сигналом блока сравнения для вывода управляющего сигнала блока постоянного тока с четвертого электрода блока сравнения на первый электрод блока постоянного тока на основе напряжения на втором электроде блока сравнения и напряжения на третьем электроде блока сравнения. Блок постоянного тока управляется управляющим сигналом блока постоянного тока для вывода постоянного тока.

Необязательно блок синхронизации содержит таймер, электрически соединенный с первым электродом блока сравнения.

Необязательно блок сравнения содержит компаратор. Первый электрод компаратора электрически соединен с блоком синхронизации. Второй электрод компаратора электрически соединен со вторым электродом напряжения. На третий электрод компаратора поступает сигнал постоянного напряжения. Четвертый электрод компаратора электрически соединен с первым электродом блока постоянного тока.

Необязательно блок постоянного тока содержит источник постоянного тока. Первый электрод источника постоянного тока электрически соединен с четвертым электродом блока сравнения, второй электрод источника постоянного тока электрически соединен с управляющим электродом четвертого транзистора, и третий электрод источника постоянного тока электрически соединен с наземным электродом.

Необязательно значение напряжения сигнала постоянного напряжения находится в диапазоне от 0,85 от значения напряжения первого электрода напряжения до 0,9 от значения напряжения первого электрода напряжения.

Полезный эффект.

Схема ограничения тока согласно варианту осуществления настоящего изобретения управляет состоянием первого транзистора посредством вывода управляющего сигнала модулем ограничения тока на управляющий электрод первого транзистора таким образом, чтобы значение ограничения тока схемы ограничения тока было регулируемым, тем самым предотвращая сбой загрузки интегрированной микросхемы управления питанием при большой нагрузке и дополнительно предотвращая повреждение интегрированной микросхемы управления питанием из-за короткого замыкания нагрузки выходных каскадов во время загрузки.

Краткое описание графических материалов

Для более ясного описания технических решений в вариантах осуществления данного изобретения ниже кратко представлены сопроводительные графические материалы, необходимые для описания вариантов осуществления. По-видимому, сопроводительные графические материалы в последующем описании показывают просто некоторые варианты осуществления этого изобретения, и специалист в данной области техники все еще может получить другие графические материалы из этих сопроводительных графических материалов без творческих усилий.

На фиг. 1 представлена структурная схема схемы ограничения тока согласно иллюстративному варианту осуществления настоящего изобретения;

на фиг. 2 представлена принципиальная схема схемы ограничения тока согласно иллюстративному варианту осуществления настоящего изобретения;

на фиг. 3 представлена структурная схема схемы ограничения тока согласно другому иллюстративному варианту осуществления настоящего изобретения;

на фиг. 4 представлена принципиальная схема схемы ограничения тока согласно иллюстративному варианту осуществления настоящего изобретения;

на фиг. 5 представлена принципиальная схема схемы ограничения тока согласно другому иллюстративному варианту осуществления настоящего изобретения.

Подробное описание

Для помощи специалисту в данной области техники в лучшем понимании решения настоящего изобретения нижеследующее ясно и полностью описывает технические решения в вариантах осуществления настоящего изобретения со ссылкой на сопроводительные графические материалы в вариантах осуществления настоящего изобретения. По-видимому, описанные варианты осуществления являются частью, а не всеми вариантами осуществления настоящего изобретения. Все другие варианты осуществления, полученные специалистом в данной области техники на основе вариантов осуществления настоящего изобретения без творческих усилий, подпадают под объем правовой охраны настоящего изобретения.

Схема ограничения тока согласно варианту осуществления настоящего изобретения управляет состоянием первого транзистора посредством вывода управляющего сигнала модулем ограничения тока на управляющий электрод первого транзистора таким образом, чтобы значение ограничения тока схемы ограничения тока было регулируемым, тем самым предотвращая сбой загрузки интегрированной микросхемы управления питанием при большой нагрузке и дополнительно предотвращая повреждение интегрированной микросхемы управления питанием из-за короткого замыкания нагрузки выходных каскадов во время загрузки.

Транзисторы, используемые в вариантах осуществления настоящего изобретения, могут содержать транзисторы р-типа и/или транзисторы n-типа. Когда на затвор транзистора р-типа подается напряжение низкого уровня, исток и сток проводят ток. Когда на затвор подается напряжение высокого уровня, исток и сток не проводят ток. Когда на затвор транзистора n-типа подается напряжение высокого уровня, исток

и сток проводят ток. Когда на затвор транзистора n-типа подается напряжение низкого уровня, исток и сток не проводят ток.

Обратимся к фиг. 1. На фиг. 1 представлена структурная схема схемы ограничения тока согласно иллюстративному варианту осуществления настоящего изобретения. Как показано на фиг. 1, схема 10 ограничения тока содержит первый электрод А напряжения, второй электрод В напряжения, первый транзистор Т1 и модуль 100 ограничения тока. Входной электрод первого транзистора Т1 и выходной электрод первого транзистора Т1 соединены последовательно на пути, образованном первым электродом А напряжения и вторым электродом В напряжения. Модуль 100 ограничения тока электрически соединен с входным электродом первого транзистора Т1 и управляющим электродом первого транзистора Т1. Модуль 100 ограничения тока выполнен с возможностью управления разностью напряжений между управляющим электродом первого транзистора Т1 и входным электродом первого транзистора Т1 для управления состоянием первого транзистора Т1 таким образом, чтобы значение ограничения тока схемы ограничения тока 10 было регулируемым. Первый электрод первого транзистора Т1 представляет собой один электрод из истока и стока транзистора, и второй электрод первого транзистора Т1 представляет собой другой электрод из истока и стока транзистора. Управляющий электрод - это затвор транзистора.

Первый электрод А напряжения может служить входным электродом рабочего напряжения интегральной микросхемы управления питанием, и второй электрод В напряжения может служить входным электродом напряжения AVDD. В производстве дисплейных панелей интегральная микросхема управления питанием будет выполнять операцию ограничения тока во время начала подачи напряжения AVDD. Цель состоит в том, чтобы медленно включать развязывающий транзистор и плавно устанавливать напряжение AVDD, тем самым предотвращая в контуре повреждение чрезмерными токами других электронных компонентов.

Если значение ограничения тока схемы 10 ограничения тока слишком мало, интегрированная микросхема управления питанием не может установить напряжение в течение заданного времени во время загрузки при большой нагрузке из-за ограничения тока, и, таким образом, загрузка не выполняется; если значение ограничения тока схемы 10 ограничения тока чрезмерно велико, компоненты интегральной микросхемы управления питанием повреждаются длительным высоким током, когда нагрузка выходных каскадов замыкается накоротко. В варианте осуществления настоящего изобретения значение ограничения тока схемы 10 ограничения тока является регулируемым. Схема 10 ограничения тока согласно варианту осуществления настоящего изобретения способна устанавливать значение ограничения тока схемы 10 ограничения тока в соответствии с фактической ситуацией таким образом, чтобы значение ограничения тока схемы 10 ограничения тока регулировалось, что предотвращает сбой загрузки интегральной микросхемы управления питанием при большой нагрузке, а также предотвращает повреждение интегральной микросхемы управления питанием из-за короткого замыкания нагрузки выходных каскадов во время загрузки.

Обратимся к фиг. 2. На фиг. 2 представлена принципиальная схема схемы ограничения тока согласно иллюстративному варианту осуществления настоящего изобретения. Модуль 100 ограничения тока содержит второй транзистор Т2, первый резистор R1, третий транзистор Т3 и блок 101 регулирования. Первый электрод второго транзистора Т2 электрически соединен с первым управляющим электродом ВВ. Второй электрод второго транзистора Т2 электрически соединен с входным электродом первого транзистора Т1. Третий электрод второго транзистора Т2 электрически соединен с управляющим электродом первого транзистора Т1. Первый электрод первого резистора R1 электрически соединен с входным электродом первого транзистора Т1. Второй электрод первого резистора R1 электрически соединен с управляющим электродом первого транзистора Т1. Первый электрод третьего транзистора Т3 электрически соединен со вторым управляющим электродом АА. Второй электрод третьего транзистора Т3 электрически соединен с управляющим электродом первого транзистора Т1. Третий электрод третьего транзистора Т3 соединен с блоком 101 регулирования.

Блок 101 регулирования выполнен с возможностью управления состоянием первого транзистора Т1. Блок 101 регулирования содержит множество подблоков 1011 резистивного управления, которые расположены параллельно. Соответствующие первые электроды подблоков 1011 резистивного управления электрически соединены с третьим электродом третьего транзистора Т3. Соответствующие вторые электроды подблоков 1011 резистивного управления электрически соединены с электродом GND заземления. Каждый подблок 1011 резистивного управления содержит второй резистор R2. В одном из подблоков 1011 резистивного управления предусмотрен только второй резистор R2, в то время как каждый из других подблоков 1011 резистивного управления содержит второй резистор R2 и переключатель S, при этом второй резистор R2 и переключатель S соединены последовательно.

Разность напряжений между управляющим электродом первого транзистора Т1 и входным электродом первого транзистора Т1 может быть получена по следующей формуле: $V_{gs} = -V_1 * R_1 / (R_1 + R_x)$, где V_{gs} - разность напряжений между управляющим электродом первого транзистора Т1 и входным электродом первого транзистора Т1, V_1 - значение напряжения на входном электроде первого транзистора Т1, R_1 - значение сопротивления первого резистора и R_x - значение сопротивления x подблоков 1011 резистивного управления, расположенных параллельно.

Как первый транзистор T1, так и второй транзистор T2 реализованы на транзисторах p-типа, и третий транзистор T3 реализован на транзисторе n-типа.

Следующее описание будет выполнено на примере типа транзистора в варианте осуществления настоящего изобретения.

Обратимся к фиг. 3. На фиг. 3 представлена принципиальная схема, на которой показано первое состояние схемы ограничения тока согласно варианту осуществления настоящего изобретения. Когда первый транзистор T1 неактивен, напряжение на втором управляющем электроде AA представляет собой низкий потенциал, что вызывает выключение третьего транзистора T3, и напряжение на первом управляющем электроде BB представляет собой низкий потенциал, что вызывает включение второго транзистора T2. В это время потенциал узла x1 равен потенциалу узла y1, потенциал управляющего электрода первого транзистора T1 равен потенциалу узла y1, и потенциал входного электрода первого транзистора равен потенциалу узла x1, в результате чего $V_{gs}=0$. Таким образом, первый транзистор T1 неактивен.

Обратимся к фиг. 4. На фиг. 4 представлена принципиальная схема, на которой показано второе состояние схемы ограничения тока согласно варианту осуществления настоящего изобретения. Когда первый транзистор T1 активирован, напряжение на втором управляющем электроде AA представляет собой высокий потенциал, что вызывает включение третьего транзистора T3, и потенциал первого управляющего электрода BB представляет собой высокий потенциал, что вызывает выключение второго транзистора T2. В это время потенциал узла x2 равен потенциалу входного электрода первого транзистора T1. В соответствии с принципом деления напряжения с помощью резисторов, потенциал узла y2 можно получить по следующей формуле: $y2=V1 \cdot R_x / (R1 + R_x)$, где V1 - значение напряжения на входе первого транзистора T1, R1 - значение сопротивления первого резистора и R_x - значение сопротивления x подблоков 1011 резистивного управления, расположенных параллельно. Потенциал управляющего электрода первого транзистора T1 равен потенциалу узла y2. В это время $V_{gs}=y2-x2=-V1 \cdot R1 / (R1 + R_x)$, где V_{gs} - разность напряжений между управляющим электродом первого транзистора T1 и входным электродом первого транзистора T1, V1 - напряжение значение входного электрода первого транзистора T1, R1 - значение сопротивления первого резистора R1 и R_x - значение сопротивления x подблоков 1011 резистивного управления, расположенных параллельно. Таким образом, первый транзистор T1 включается, и степень включенного состояния первого транзистора T1 определяется значением сопротивления x подблоков 1011 резистивного управления, расположенных параллельно.

На основе приведенного выше варианта осуществления схема 10 ограничения тока, предусмотренная в настоящем изобретении, управляет разностью напряжений между управляющим электродом первого транзистора T1 и входным электродом первого транзистора T1 посредством управления состоянием первого транзистора T1 с помощью модуля 100 ограничения тока таким образом, чтобы значение ограничения тока схемы 10 ограничения тока было регулируемым, тем самым предотвращая собой загрузки интегральной микросхемы управления питанием при большой нагрузке и также предотвращая повреждение интегральной микросхемы управления питанием из-за короткого замыкания нагрузки выходных каскадов во время загрузки.

Обратимся к фиг. 5. На фиг. 5 представлена принципиальная схема схемы 20 ограничения тока согласно другому иллюстративному варианту осуществления настоящего изобретения. В отличие от схемы 10 ограничения тока, показанной на фиг. 2, схема 20 ограничения тока дополнительно содержит четвертый транзистор T4, блок 102 синхронизации, блок 103 сравнения и блок 104 постоянного тока.

Входной электрод четвертого транзистора T4 электрически соединен с первым электродом A напряжения, выходной электрод четвертого транзистора T4 электрически соединен со вторым электродом B напряжения. Блок 102 синхронизации электрически соединен с первым электродом блока 103 сравнения. Второй электрод блока 103 сравнения электрически соединен со вторым электродом B напряжения. На третий электрод блока 103 сравнения поступает сигнал M постоянного напряжения. Четвертый электрод блока 103 сравнения электрически соединен с первым электродом блока 104 постоянного тока. Второй электрод блока 104 постоянного тока электрически соединен с управляющим электродом четвертого транзистора T4.

Блок 102 синхронизации выполнен с возможностью вывода управляющего сигнала блока сравнения через заданные интервалы времени. Блок 103 сравнения управляется управляющим сигналом блока сравнения для вывода управляющего сигнала блока постоянного тока с четвертого электрода блока 103 сравнения на первый электрод блока 104 постоянного тока на основе напряжения на втором электроде блока 103 сравнения и напряжения на третьем электроде блока 103 сравнения. Блок 104 постоянного тока управляется управляющим сигналом блока постоянного тока для вывода постоянного тока.

Блок 102 синхронизации работает как регистр для установки времени ограничения тока. То есть блок 102 синхронизации выполнен с возможностью вывода управляющего сигнала блока сравнения через заданные интервалы времени. Когда на первый электрод блока 104 постоянного тока поступает управляющий сигнал блока постоянного тока, блок 104 постоянного тока начинает работу; когда на первый электрод блока 104 постоянного тока не поступает управляющий сигнал блока постоянного тока, блок 104 постоянного тока прекращает работу.

Функция блока 103 сравнения состоит в том, чтобы сравнивать величины двух напряжений (ис-

пользуя высокий или низкий уровень выходного напряжения для указания взаимосвязи между величинами двух входных напряжений). Когда напряжение на "положительном (+)" входном электроде выше, чем напряжение на "отрицательном (-)" входном электроде, компаратор напряжения выводит сигнал высокого уровня; когда напряжение на "+" входном электроде ниже, чем напряжение на "-" входном электроде, компаратор напряжения выводит напряжение низкого уровня.

Блок 103 сравнения сравнивает напряжение на втором электроде и напряжение на третьем электроде и выводит управляющий сигнал блока постоянного тока с четвертого электрода блока 103 сравнения на первый электрод блока 104 постоянного тока.

Первый электрод блока 103 сравнения представляет собой электрод разрешающего сигнала, второй электрод блока 103 сравнения представляет собой "положительный (+)" входной электрод, третий электрод блока 103 сравнения представляет собой "отрицательный (-)" входной электрод, и четвертый электрод блока 103 сравнения представляет собой выходной электрод. Когда на первый электрод блока 103 сравнения поступает управляющий сигнал блока сравнения, блок 103 сравнения начинает работу; когда на первый электрод блока 103 сравнения не поступает управляющий сигнал блока сравнения, блок 103 сравнения прекращает работу. Когда напряжение на втором электроде блока 103 сравнения выше, чем напряжение на третьем электроде блока 103 сравнения, управляющий сигнал блока постоянного тока, выводимый четвертым электродом блока 103 сравнения, имеет высокий уровень напряжения; когда напряжение на втором электроде блока 103 сравнения ниже, чем напряжение на третьем электроде блока 103 сравнения, управляющий сигнал блока постоянного тока, выводимый четвертым электродом блока 103 сравнения, имеет низкий уровень напряжения.

Блок 104 постоянного тока предоставляет за свои пределы постоянный ток, который не зависит от напряжения на двух электродах. Блок 104 постоянного тока имеет два основных свойства: во-первых, ток, обеспечиваемый блоком 104 постоянного тока, является постоянным и не зависит от напряжения на двух электродах; во-вторых, устанавливается ток блока 104 постоянного тока, и напряжение на двух электродах является произвольным. То есть блок 104 постоянного тока управляется управляющим сигналом блока 104 постоянного тока, выдающим постоянный ток.

Блок 102 синхронизации содержит таймер. Таймер электрически соединен с первым электродом блока 103 сравнения. Таймер выводит сигнал высокого напряжения через каждый интервал с заданным временем. Например, таймер может быть установлен на разные масштабы времени обнаружения, такие как 4 миллисекунд, 6 миллисекунд, 8 миллисекунд или 10 миллисекунд.

Блок 103 сравнения содержит компаратор. Первый электрод компаратора электрически соединен с блоком 102 синхронизации. Второй электрод компаратора электрически соединен со вторым электродом напряжения В. На третий электрод компаратора поступает сигнал М постоянного напряжения. Четвертый электрод компаратора электрически соединен с первым электродом блока 104 постоянного тока.

Первый электрод компаратора представляет собой электрод разрешающего сигнала, второй электрод компаратора представляет собой "положительный (+)" входной электрод, третий электрод компаратора представляет собой "отрицательный (-)" входной электрод, и четвертый электрод компаратора представляет собой выходной электрод. Когда первый электрод компаратора имеет высокий уровень напряжения, компаратор начинает работу. Когда первый электрод компаратора имеет низкий уровень напряжения, компаратор прекращает работу. Когда напряжение на втором электроде компаратора выше, чем напряжение на третьем электроде компаратора, управляющий сигнал блока постоянного тока, выводимый четвертым электродом компаратора, имеет высокий уровень напряжения; когда напряжение на втором электроде компаратора меньше, чем напряжение на третьем электроде компаратора, управляющий сигнал блока постоянного тока, выводимый выходным электродом компаратора, имеет низкий уровень напряжения.

Компаратор выполнен с возможностью сравнения напряжения на втором электроде В напряжения с напряжением сигнала М постоянного напряжения. Когда напряжение на втором электроде В напряжения выше, чем напряжение сигнала М постоянного напряжения, компаратор выводит напряжение высокого уровня; когда напряжение на втором электроде В напряжения ниже, чем напряжение сигнала М постоянного напряжения, компаратор выводит напряжение низкого уровня.

Значение напряжения сигнала М постоянного напряжения находится в диапазоне от 0,85 от значения напряжения первого электрода А напряжения до 0,9 от значения напряжения первого электрода А напряжения. В некоторых вариантах осуществления значение напряжения сигнала М постоянного напряжения может быть установлено в диапазоне значений от 0,85 от значения напряжения первого электрода А напряжения до 0,9 от значения напряжения первого электрода А напряжения. В некоторых других вариантах осуществления последовательно между первым электродом А напряжения и третьим электродом блока 103 сравнения может быть подключен множитель, чтобы значение напряжения сигнала М постоянного напряжения было равно значению в диапазоне от 0,85 от значения напряжения первого электрода А напряжения до 0,9 от значения напряжения первого электрода А напряжения.

В качестве примера для описания возьмем таймер, установленный на 4 миллисекунды, и сигнал М постоянного напряжения, установленный на 0,9 от значения напряжения первого электрода А напряжения. Таймер представляет собой регистр для установки времени ограничения тока, а время ограничения

тока в настоящее время установлено на 4 миллисекунды. Когда таймер завершает отсчет времени в 4 миллисекунды, значение напряжения на втором электроде напряжения В сравнивается с 0,9 от значения напряжения на первом электроде А напряжения. Если значение напряжения на втором электроде напряжения В меньше, чем 0,9 от напряжения на первом электроде А напряжения, нагрузка выходных каскадов является ненормальной. В это время уровень напряжения управляющего электрода второго транзистора Т2 переключается с высокого уровня на низкий уровень, второй транзистор Т2 включается, первый транзистор Т1 выключается, деактивируется источник постоянного тока, и интегральная микросхема управления питанием прекращает работу. Если значение напряжения второго электрода напряжения В больше, чем 0,9 от напряжения первого электрода А напряжения, схема функционирует нормально. В это время уровень напряжения управляющего электрода второго транзистора Т2 переключается с высокого уровня на низкий уровень, второй транзистор Т2 включается, первый транзистор Т1 выключается, активируется источник постоянного тока, напряжение на управляющем электроде четвертого транзистора Т4 снижается, и четвертый транзистор Т4 включается. Внешний четвертый транзистор Т4 выполняет операцию развязки схемы ограничения тока.

Первый транзистор Т1 и модуль 100 ограничения тока расположены в интегральной микросхеме управления питанием. Четвертый транзистор Т4, модуль 102 синхронизации, модуль 103 сравнения и модуль 104 постоянного тока расположены вне интегральной микросхемы управления питанием. В вариантах осуществления настоящего изобретения первый транзистор и блок ограничения тока расположены в интегральной микросхеме управления питанием, что приводит к тому, что точность значения ограничения тока может быть гарантирована в условиях как высокой, так и низкой температуры благодаря хорошим температурным характеристикам и высокой точности. Поскольку сопротивление и кривая $V_{gs}-I_d$ первого транзистора не сильно меняются с температурой, настоящее изобретение имеет относительно лучшие температурные характеристики, и стабильность предельного значения тока может быть гарантирована как при высокой температуре (85°C), так и при низкой температуре (-20°C).

Схема ограничения тока согласно вариантам осуществления настоящего изобретения выводит управляющий сигнал на управляющий электрод развязывающего транзистора для управления состоянием развязывающего транзистора, чтобы можно было регулировать значение ограничения тока и время ограничения тока схемы ограничения тока, тем самым предотвращая сбой загрузки интегрированной микросхемой управления питанием при большой нагрузке и также предотвращая повреждение интегрированной микросхемы управления питанием из-за короткого замыкания нагрузки выходных каскадов во время загрузки.

Выше приведены варианты осуществления настоящего изобретения, которые не ограничивают объем настоящего изобретения. Любые модификации, эквивалентные замены или усовершенствования в духе и принципах описанного выше варианта осуществления подлежат охвату объемом правовой охраны настоящего изобретения.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема ограничения тока, содержащая:

первый электрод напряжения;

второй электрод напряжения;

первый транзистор, при этом входной электрод первого транзистора электрически соединен с первым электродом напряжения, и выходной электрод первого транзистора электрически соединен со вторым электродом напряжения; и

модуль ограничения тока, электрически соединенный с входным электродом первого транзистора и управляющим электродом первого транзистора,

при этом модуль ограничения тока выполнен с возможностью управления разностью напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора для управления состоянием первого транзистора таким образом, чтобы значение ограничения тока схемы ограничения тока было регулируемым,

при этом модуль ограничения тока содержит второй транзистор, первый резистор, третий транзистор и блок регулирования,

при этом первый электрод второго транзистора электрически соединен с первым управляющим электродом, второй электрод второго транзистора электрически соединен с входным электродом первого транзистора, и третий электрод второго транзистора электрически соединен с управляющим электродом первого транзистора,

при этом первый электрод первого резистора электрически соединен с входным электродом первого транзистора, и второй электрод первого резистора электрически соединен с управляющим электродом первого транзистора,

при этом первый электрод третьего транзистора электрически соединен со вторым управляющим электродом, второй электрод третьего транзистора электрически соединен с управляющим электродом первого транзистора, и третий электрод третьего транзистора соединен с блоком регулирования, и

при этом блок регулирования выполнен с возможностью управления состоянием первого транзистора.

2. Схема ограничения тока по п.1, отличающаяся тем, что блок регулирования содержит множество подблоков резистивного управления, которые расположены параллельно, и

при этом соответствующие первые электроды множества подблоков резистивного управления электрически соединены с третьим электродом третьего транзистора, соответствующие вторые электроды множества подблоков резистивного управления электрически соединены с электродом заземления, и каждый из множества подблоков резистивного управления содержит второй резистор.

3. Схема ограничения тока по п.2, отличающаяся тем, что разность напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора $T1$ получают по формуле:

$$V_{gs} = -V1 * R1 / (R1 + R_x), \text{ и}$$

где V_{gs} - разность напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора, $V1$ - значение напряжения на входном электроде первого транзистора, $R1$ - значение сопротивления первого резистора и R_x - значение сопротивления x подблоков резистивного управления, расположенных параллельно.

4. Схема ограничения тока, содержащая:

первый электрод напряжения;

второй электрод напряжения;

первый транзистор, при этом входной электрод первого транзистора электрически соединен с первым электродом напряжения, и выходной электрод первого транзистора электрически соединен со вторым электродом напряжения; и

модуль ограничения тока, электрически соединенный с входным электродом первого транзистора и управляющим электродом первого транзистора,

при этом модуль ограничения тока выполнен с возможностью управления разностью напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора для управления состоянием первого транзистора таким образом, чтобы значение ограничения тока схемы ограничения тока было регулируемым,

при этом схема ограничения тока дополнительно содержит четвертый транзистор,

при этом входной электрод четвертого транзистора электрически соединен с первым электродом напряжения, и выходной электрод четвертого транзистора электрически соединен со вторым электродом напряжения,

при этом схема ограничения тока дополнительно содержит блок синхронизации, блок сравнения и блок постоянного тока,

при этом блок синхронизации электрически соединен с первым электродом блока сравнения, второй электрод блока сравнения электрически соединен со вторым электродом напряжения, на третий электрод блока сравнения поступает сигнал постоянного напряжения, четвертый электрод блока сравнения электрически соединен с первым электродом блока постоянного тока, и второй электрод блока постоянного тока электрически соединен с управляющим электродом четвертого транзистора,

при этом блок синхронизации выполнен с возможностью вывода управляющего сигнала блока сравнения через заданные интервалы времени,

при этом блок сравнения управляется управляющим сигналом блока сравнения для вывода управляющего сигнала блока постоянного тока с четвертого электрода блока сравнения на первый электрод блока постоянного тока на основе напряжения на втором электроде блока сравнения и напряжения на третьем электроде блока сравнения, и

при этом блок постоянного тока управляется управляющим сигналом блока постоянного тока для вывода постоянного тока.

5. Схема ограничения тока по п.4, отличающаяся тем, что блок синхронизации содержит таймер, при этом таймер электрически соединен с первым электродом блока сравнения.

6. Схема ограничения тока по п.4, отличающаяся тем, что блок сравнения содержит компаратор,

при этом первый электрод компаратора электрически соединен с блоком синхронизации, второй электрод компаратора электрически соединен со вторым электродом напряжения, на третий электрод компаратора поступает сигнал постоянного напряжения, и четвертый электрод компаратора электрически соединен с первым электродом блока постоянного тока.

7. Схема ограничения тока по п.4, отличающаяся тем, что блок постоянного тока содержит источник постоянного тока,

при этом первый электрод источника постоянного тока электрически соединен с четвертым электродом блока сравнения, второй электрод источника постоянного тока электрически соединен с управляющим электродом четвертого транзистора, и третий электрод источника постоянного тока электрически соединен с электродом заземления.

8. Схема ограничения тока по п.4, отличающаяся тем, что значение напряжения сигнала постоянного напряжения находится в диапазоне от 0,85 от значения напряжения первого электрода напряжения до

0,9 от значения напряжения первого электрода напряжения.

9. Схема ограничения тока, содержащая:

первый электрод напряжения;

второй электрод напряжения;

первый транзистор, при этом входной электрод первого транзистора электрически соединен с первым электродом напряжения, и выходной электрод первого транзистора электрически соединен со вторым электродом напряжения; и

модуль ограничения тока, электрически соединенный с входным электродом первого транзистора и управляющим электродом первого транзистора, при этом модуль ограничения тока содержит:

второй транзистор, имеющий первый электрод, электрически соединенный с первым управляющим электродом, второй электрод, электрически соединенный с входным электродом первого транзистора, и третий электрод, электрически соединенный с управляющим электродом первого транзистора;

первый резистор, подключенный между входным электродом первого транзистора и управляющим электродом первого транзистора;

блок регулирования, выполненный с возможностью управления состоянием первого транзистора; и

третий транзистор, имеющий первый электрод, электрически соединенный со вторым управляющим электродом, второй электрод, электрически соединенный с управляющим электродом первого транзистора, и третий электрод, соединенный с блоком регулирования; и

четвертый транзистор, имеющий входной электрод, электрически соединенный с первым электродом напряжения, и выходной электрод, электрически соединенный со вторым электродом напряжения;

при этом модуль ограничения тока выполнен с возможностью управления разностью напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора для управления состоянием первого транзистора таким образом, чтобы значение ограничения тока схемы ограничения тока было регулируемым.

10. Схема ограничения тока по п.9, отличающаяся тем, что блок регулирования содержит множество подблоков резистивного управления, которые расположены параллельно, и

при этом соответствующие первые электроды множества подблоков резистивного управления электрически соединены с третьим электродом третьего транзистора, соответствующие вторые электроды множества подблоков резистивного управления электрически соединены с электродом заземления, и каждый из множества подблоков резистивного управления содержит второй резистор.

11. Схема ограничения тока по п.10, отличающаяся тем, что разность напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора получают по формуле:

$$V_{gs} = -V_1 * R_1 / (R_1 + R_x), \text{ и}$$

где V_{gs} - разность напряжений между управляющим электродом первого транзистора и входным электродом первого транзистора, V_1 - значение напряжения на входном электроде первого транзистора, R_1 - значение сопротивления первого резистора и R_x - значение сопротивления x подблоков резистивного управления, расположенных параллельно.

12. Схема ограничения тока по п.9, отличающаяся тем, что дополнительно содержит блок синхронизации, блок сравнения и блок постоянного тока,

при этом блок синхронизации электрически соединен с первым электродом блока сравнения, второй электрод блока сравнения электрически соединен со вторым электродом напряжения, на третий электрод блока сравнения поступает сигнал постоянного напряжения, четвертый электрод блока сравнения электрически соединен с первым электродом блока постоянного тока, и второй электрод блока постоянного тока электрически соединен с управляющим электродом четвертого транзистора,

при этом блок синхронизации выполнен с возможностью вывода управляющего сигнала блока сравнения через заданные интервалы времени,

при этом блок сравнения управляется управляющим сигналом блока сравнения для вывода управляющего сигнала блока постоянного тока с четвертого электрода блока сравнения на первый электрод блока постоянного тока на основе напряжения на втором электроде блока сравнения и напряжения на третьем электроде блока сравнения, и

при этом блок постоянного тока управляется управляющим сигналом блока постоянного тока для вывода постоянного тока.

13. Схема ограничения тока по п.12, отличающаяся тем, что блок синхронизации содержит таймер, при этом таймер электрически соединен с первым электродом блока сравнения.

14. Схема ограничения тока по п.12, отличающаяся тем, что блок сравнения содержит компаратор,

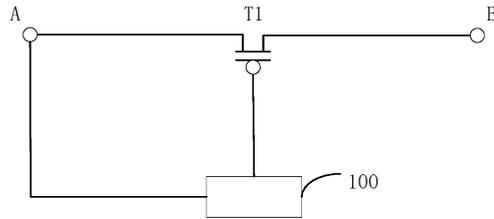
при этом первый электрод компаратора электрически соединен с блоком синхронизации, второй электрод компаратора электрически соединен со вторым электродом напряжения, на третий электрод компаратора поступает сигнал постоянного напряжения, и четвертый электрод компаратора электрически соединен с первым электродом блока постоянного тока.

15. Схема ограничения тока по п.12, отличающаяся тем, что блок постоянного тока содержит источник постоянного тока,

при этом первый электрод источника постоянного тока электрически соединен с четвертым электродом блока сравнения, второй электрод источника постоянного тока электрически соединен с управляющим электродом четвертого транзистора, и третий электрод источника постоянного тока электрически соединен с электродом заземления.

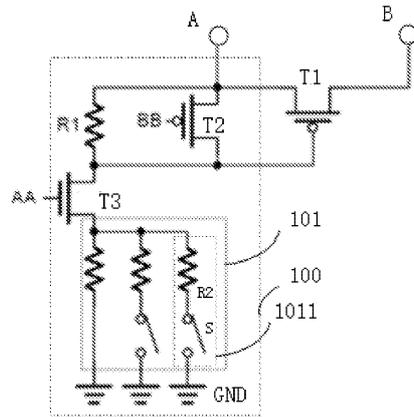
16. Схема ограничения тока по п.12, отличающаяся тем, что значение напряжения сигнала постоянного напряжения находится в диапазоне от 0,85 от значения напряжения первого электрода напряжения до 0,9 от значения напряжения первого электрода напряжения.

10



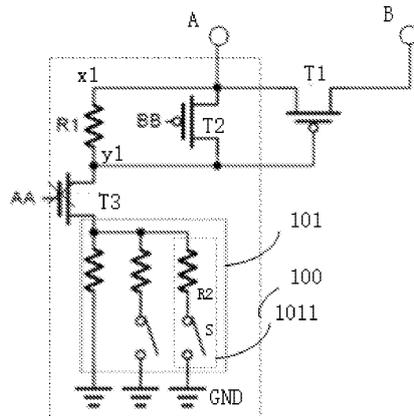
Фиг. 1

10



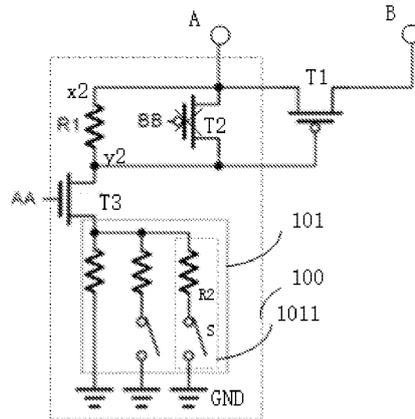
Фиг. 2

10



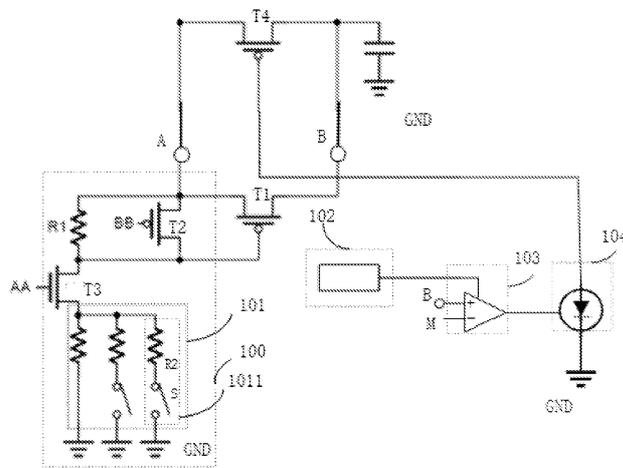
Фиг. 3

10



Фиг. 4

20



Фиг. 5

