

(19)



**Евразийское
патентное
ведомство**

(11) **048226**

(13) **B1**

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОМУ ПАТЕНТУ**

(45) Дата публикации и выдачи патента
2024.11.08

(51) Int. Cl. **H02H 9/02 (2006.01)**

(21) Номер заявки
202291533

(22) Дата подачи заявки
2021.07.29

(54) **СХЕМЫ ОГРАНИЧЕНИЯ ТОКА**

(31) **CN 202110816694.6**

(32) **2021.07.20**

(33) **CN**

(43) **2024.02.29**

(86) **PCT/CN2021/109098**

(87) **WO 2023/000367 2023.01.26**

(71)(73) Заявитель и патентовладелец:
**ТСЛ ЧАЙНА СТАР
ОПТОЭЛЕКТРОНИКС
ТЕХНОЛОДЖИ КО., ЛТД. (CN)**

(72) Изобретатель:
Ли Хаоран (CN)

(74) Представитель:
Зуйков С.А. (RU)

(56) **CN-A-101291103
CN-U-209545214
CN-U-212935542
CN-A-109753100
CN-A-104539145
CN-A-104682683
US-A1-2010019807**

(57) Схема ограничения тока содержит первый вывод напряжения, второй вывод напряжения, первый транзистор и модуль ограничения тока. Первый транзистор содержит входной вывод и выходной вывод первого транзистора, которые соединены последовательно на пути, образованном первым выводом напряжения и вторым выводом напряжения. Модуль ограничения тока электрически соединен с управляющим выводом первого транзистора. Модуль ограничения тока выполнен с возможностью выдачи управляющего сигнала на управляющий вывод первого транзистора для управления состоянием первого транзистора так, что можно регулировать значение ограничения тока схемы ограничения тока.

B1

048226

**048226
B1**

Настоящее раскрытие относится к области технологии отображения и, конкретнее, к схеме ограничения тока.

Уровень техники

В отрасли производства панелей отображения традиционные интегральные микросхемы управления питанием будут выполнять операцию ограничения тока во время запуска напряжения AVDD. Цель операции ограничения тока заключается в медленном включении разделяющих транзисторов и плавном установлении напряжения AVDD для предотвращения повреждения других электронных компонентов в контуре избыточными токами.

Однако недостаток традиционной конструкции заключается в том, что значение ограничения тока для напряжения AVDD является постоянным. Если значение ограничения тока слишком мало, интегральная микросхема управления питанием не может устанавливать напряжение в течение определенного времени во время загрузки под высокой нагрузкой из-за ограничения тока и, таким образом, загрузка не выполняется; если значение ограничения тока слишком велико, компоненты интегральной микросхемы управления питанием повреждаются длительным высоким током, когда внутренняя нагрузка замыкается накоротко, например, драйвер истока поврежден и горит.

Сущность изобретения

Техническая задача.

Таким образом, настоящее раскрытие предлагает схему ограничения тока, которая может позволять регулировать значение ограничения тока схемы ограничения тока, тем самым предотвращая собой загрузку под высокой нагрузкой, вызываемый интегральной микросхемой управления питанием, и дополнительно предотвращая повреждение интегральной микросхемы управления питанием из-за короткозамкнутой внутренней нагрузки во время загрузки.

Техническое решение.

В первом аспекте вариант выполнения настоящего раскрытия заключается в предложении схемы ограничения тока. Схема ограничения тока содержит первый вывод напряжения, второй вывод напряжения, первый транзистор и модуль ограничения тока. Первый транзистор содержит входной вывод и выходной вывод первого транзистора, которые соединены последовательно на пути, образованном первым выводом напряжения и вторым выводом напряжения. Модуль ограничения тока электрически соединен с управляющим выводом первого транзистора. Модуль ограничения тока выполнен с возможностью выдачи управляющего сигнала на управляющий вывод первого транзистора для управления состоянием первого транзистора так, что можно регулировать значение ограничения тока схемы ограничения тока.

Необязательно модуль ограничения тока содержит блок повышения напряжения, блок переменного напряжения, первый блок сравнения и блок постоянного тока. Первый вывод блока повышения напряжения электрически соединен с первым выводом напряжения. Второй вывод блока повышения напряжения электрически соединен с входным выводом первого транзистора. Первый вывод блока переменного напряжения электрически соединен с первым выводом напряжения. Второй вывод блока переменного напряжения электрически соединен с первым выводом первого блока сравнения. Второй вывод первого блока сравнения электрически соединен с входным выводом первого транзистора. Третий вывод первого блока сравнения электрически соединен с первым выводом блока постоянного тока. Второй вывод блока постоянного тока электрически соединен с управляющим выводом первого транзистора. Блок повышения напряжения выполнен с возможностью делать так, чтобы напряжение на втором выводе блока повышения напряжения превышало напряжение на первом выводе блока повышения напряжения. Блок переменного напряжения выполнен с возможностью выдачи переменного напряжения. Первый блок сравнения выполнен с возможностью выдачи управляющего сигнала блока постоянного тока на третьем выводе первого блока сравнения на основе напряжения на первом выводе первого блока сравнения и напряжения на втором выводе первого блока сравнения, а блок постоянного тока управляется управляющим сигналом блока постоянного тока для выдачи постоянного тока.

Необязательно блок повышения напряжения содержит индуктор, второй транзистор и диод. Первый вывод индуктора электрически соединен с первым выводом напряжения, второй вывод индуктора и первый вывод второго транзистора электрически соединены с первым выводом диода, второй вывод диода электрически соединен с входным выводом первого транзистора, а второй вывод второго транзистора электрически соединен с заземляющим выводом.

Необязательно значение ограничения тока схемы ограничения тока получается по формуле $I=(V1-V2)/R$, где I представляет собой значение ограничения тока схемы ограничения тока, $V1$ представляет собой значение напряжения, установленное блоком переменного напряжения, $V2$ представляет собой значение падения напряжения на диоде, а R представляет собой значение полного сопротивления индуктора.

Необязательно блок переменного напряжения содержит источник переменного напряжения. Первый вывод источника переменного напряжения электрически соединен с первым выводом напряжения, а второй вывод источника переменного напряжения электрически соединен с первым выводом первого блока сравнения.

Необязательно первый блок сравнения содержит первый компаратор. Первый вывод первого ком-

паратора электрически соединен со вторым выводом блока переменного напряжения, второй вывод первого компаратора электрически соединен с входным выводом первого транзистора, а третий вывод первого компаратора электрически соединен с первым выводом блока постоянного тока.

Необязательно блок постоянного тока содержит источник постоянного тока. Первый вывод источника постоянного тока электрически соединен с третьим выводом первого блока сравнения, второй вывод источника постоянного тока электрически соединен с управляющим выводом первого транзистора, а третий вывод источника постоянного тока электрически соединен с заземляющим выводом.

Необязательно схема ограничения тока дополнительно содержит блок отсчета времени и второй блок сравнения. Блок отсчета времени электрически соединен с первым выводом второго блока сравнения. Второй вывод второго блока сравнения электрически соединен со вторым выводом напряжения. Третий вывод второго блока сравнения принимает сигнал постоянного напряжения, а четвертый вывод второго блока сравнения электрически соединен с управляющим выводом первого транзистора. Блок отсчета времени выполнен с возможностью выдачи управляющего сигнала блока сравнения с интервалами с заданным временем. Второй блок сравнения управляется управляющим сигналом блока сравнения на управляющий вывод первого транзистора на основе напряжения на втором выводе второго блока сравнения и напряжения на третьем выводе второго блока сравнения.

Необязательно блок отсчета времени содержит таймер, электрически соединенный с первым выводом второго блока сравнения.

Необязательно второй блок сравнения содержит второй компаратор. Первый вывод второго компаратора электрически соединен с блоком отсчета времени, второй вывод второго компаратора электрически соединен со вторым выводом напряжения, третий вывод второго компаратора принимает сигнал постоянного напряжения, а четвертый вывод второго компаратора электрически соединен с управляющим выводом первого транзистора.

Необязательно значение напряжения сигнала постоянного напряжения находится в диапазоне 0,85-0,9 от значения напряжения первого вывода напряжения.

Необязательно схема ограничения тока дополнительно содержит первый конденсатор, второй конденсатор, третий конденсатор и резистор. Первый вывод первого конденсатора электрически соединен с первым выводом напряжения, первый вывод второго конденсатора электрически соединен со входным выводом первого транзистора, первый вывод третьего конденсатора и первый вывод резистора электрически соединены со вторым выводом напряжения, а второй вывод первого конденсатора, второй вывод второго конденсатора, второй вывод третьего конденсатора и второй вывод резистора электрически соединены с заземляющим выводом.

Во втором аспекте вариант выполнения настоящего раскрытия заключается в предложении схемы ограничения тока. Схема ограничения тока содержит первый вывод напряжения, второй вывод напряжения, первый транзистор и модуль ограничения тока. Первый транзистор содержит входной вывод и выходной вывод первого транзистора, которые соединены последовательно на пути, образованном первым выводом напряжения и вторым выводом напряжения. Модуль ограничения тока электрически соединен с управляющим выводом первого транзистора. Модуль ограничения тока выполнен с возможностью выдачи управляющего сигнала на управляющий вывод первого транзистора для управления состоянием первого транзистора так, что можно регулировать значение ограничения тока схемы ограничения тока. Модуль ограничения тока содержит блок повышения напряжения, блок переменного напряжения, первый блок сравнения и блок постоянного тока. Первый вывод блока повышения напряжения электрически соединен с первым выводом напряжения. Второй вывод блока повышения напряжения электрически соединен с входным выводом первого транзистора. Первый вывод блока переменного напряжения электрически соединен с первым выводом напряжения. Второй вывод блока переменного напряжения электрически соединен с первым выводом первого блока сравнения. Второй вывод первого блока сравнения электрически соединен с входным выводом первого транзистора. Третий вывод первого блока сравнения электрически соединен с первым выводом блока постоянного тока. Второй вывод блока постоянного тока электрически соединен с управляющим выводом первого транзистора. Блок повышения напряжения выполнен с возможностью делать так, чтобы напряжение на втором выводе блока повышения напряжения превышало напряжение на первом выводе блока повышения напряжения. Блок переменного напряжения выполнен с возможностью выдачи переменного напряжения. Первый блок сравнения выполнен с возможностью выдачи управляющего сигнала блока постоянного тока на третьем выводе первого блока сравнения на основе напряжения на первом выводе первого блока сравнения и напряжения на втором выводе первого блока сравнения, а блок постоянного тока управляется управляющим сигналом блока постоянного тока для выдачи постоянного тока. Схема ограничения тока дополнительно содержит первый конденсатор, второй конденсатор, третий конденсатор и резистор. Первый вывод первого конденсатора электрически соединен с первым выводом напряжения, первый вывод второго конденсатора электрически соединен со входным выводом первого транзистора, первый вывод третьего конденсатора и первый вывод резистора электрически соединены со вторым выводом напряжения, а второй вывод первого конденсатора, второй вывод второго конденсатора, второй вывод третьего конденсатора и второй

вывод резистора электрически соединены с заземляющим выводом.

Необязательно блок повышения напряжения содержит индуктор L, второй транзистор Q и диод. Первый вывод индуктора электрически соединен с первым выводом напряжения, второй вывод индуктора и первый вывод второго транзистора электрически соединены с первым выводом диода, второй вывод диода электрически соединен с входным выводом первого транзистора, а второй вывод второго транзистора электрически соединен с заземляющим выводом.

Необязательно значение ограничения тока схемы ограничения тока получается по формуле: $I=(V1-V2)/R$, где I представляет собой значение ограничения тока схемы ограничения тока, V1 представляет собой значение напряжения, установленное блоком переменного напряжения, V2 представляет собой значение падения напряжения на диоде, а R представляет собой значение полного сопротивления индуктора.

Необязательно блок переменного напряжения содержит источник переменного напряжения. Первый вывод источника переменного напряжения электрически соединен с первым выводом напряжения, а второй вывод источника переменного напряжения электрически соединен с первым выводом первого блока сравнения.

Необязательно первый блок сравнения содержит первый компаратор. Первый вывод первого компаратора электрически соединен со вторым выводом блока переменного напряжения, второй вывод первого компаратора электрически соединен с входным выводом первого транзистора, а третий вывод первого компаратора электрически соединен с первым выводом блока постоянного тока.

Необязательно блок постоянного тока содержит источник постоянного тока. Первый вывод источника постоянного тока электрически соединен с третьим выводом первого блока сравнения, второй вывод источника постоянного тока электрически соединен с управляющим выводом первого транзистора, а третий вывод источника постоянного тока электрически соединен с заземляющим выводом.

Необязательно схема ограничения тока дополнительно содержит блок отсчета времени и второй блок сравнения. Блок отсчета времени электрически соединен с первым выводом второго блока сравнения. Второй вывод второго блока сравнения электрически соединен со вторым выводом напряжения. Третий вывод второго блока сравнения принимает сигнал постоянного напряжения, а четвертый вывод второго блока сравнения электрически соединен с управляющим выводом первого транзистора. Блок отсчета времени выполнен с возможностью выдачи управляющего сигнала блока сравнения с интервалами с заданным временем. Второй блок сравнения управляется управляющим сигналом блока сравнения для выдачи управляющего сигнала первого транзистора на четвертом выводе второго блока сравнения на управляющий вывод первого транзистора на основе напряжения на втором выводе второго блока сравнения и напряжения на третьем выводе второго блока сравнения.

Необязательно блок отсчета времени содержит таймер, электрически соединенный с первым выводом второго блока сравнения. Второй блок сравнения содержит второй компаратор. Первый вывод второго компаратора электрически соединен с блоком отсчета времени, второй вывод второго компаратора электрически соединен со вторым выводом напряжения, третий вывод второго компаратора принимает сигнал постоянного напряжения, а четвертый вывод второго компаратора электрически соединен с управляющим выводом первого транзистора.

Предпочтительный технический результат.

Схема ограничения тока варианта выполнения настоящего раскрытия управляет состоянием первого транзистора посредством выдачи модулем ограничения тока управляющего сигнала на управляющий вывод первого транзистора так, что можно регулировать значение ограничения тока схемы ограничения тока, тем самым предотвращая собой загрузки под высокой нагрузкой, вызываемый интегральной микросхемой управления питанием, и дополнительно предотвращая повреждение интегральной микросхемы управления питанием из-за короткозамкнутой внутренней нагрузки во время загрузки.

Краткое описание чертежей

Для более ясного описания технических решений в вариантах выполнения этой заявки ниже кратко представлены сопровождающие фигуры, требуемые для описания вариантов выполнения. Очевидно, что на сопровождающих фигурах в нижеследующем описании показаны всего лишь некоторые варианты выполнения этой заявки и специалист в данной области техники по-прежнему может получать другие чертежи из этих сопровождающих фигур без творческих усилий.

Фиг. 1 представляет собой структурное схематическое изображение схемы ограничения тока согласно примерному варианту выполнения настоящего раскрытия.

Фиг. 2 представляет собой структурное схематическое изображение схемы ограничения тока согласно другому примерному варианту выполнения настоящего раскрытия.

Фиг. 3 представляет собой структурное схематическое изображение схемы ограничения тока согласно другому примерному варианту выполнения настоящего раскрытия.

Фиг. 4 представляет собой изображение схемы ограничения тока согласно примерному варианту выполнения настоящего раскрытия.

Фиг. 5 представляет собой схематическое изображение, на котором показан процесс зарядки блока повышения напряжения.

Фиг. 6 представляет собой схематическое изображение, на котором показан процесс разрядки блока повышения напряжения.

Подробное описание

Чтобы помочь специалисту в данной области лучше понять решения настоящего раскрытия ниже в вариантах выполнения настоящего изобретения ясно и полностью описаны технические решения со ссылкой на сопровождающие чертежи в вариантах выполнения настоящего изобретения. Очевидно, что описанные варианты выполнения являются лишь частью, а не всеми вариантами выполнения настоящего изобретения. Все другие варианты выполнения, полученные специалистом в данной области техники на основе вариантов выполнения настоящего изобретения без творческих усилий, должны подпадать под объем охраны настоящего раскрытия.

Схема ограничения тока варианта выполнения настоящего раскрытия управляет состоянием первого транзистора посредством выдачи модулем ограничения тока управляющего сигнала на управляющий вывод первого транзистора так, что можно регулировать значение ограничения тока схемы ограничения тока, тем самым предотвращая сбой загрузки под высокой нагрузкой, вызываемый интегральной микросхемой управления питанием, и дополнительно предотвращая повреждение интегральной микросхемы управления питанием из-за короткозамкнутой внутренней нагрузки во время загрузки.

Транзисторы, используемые в вариантах выполнения настоящего раскрытия, могут содержать транзисторы Р-типа и/или транзисторы N-типа. Когда на затвор транзистора Р-типа подается напряжение низкого уровня, через исток и сток протекает ток. Когда на затвор подается напряжение высокого уровня, через исток и сток не протекает ток. Когда на затвор транзистора N-типа подается напряжение высокого уровня, через исток и сток протекает ток. Когда на затвор транзистора N-типа подается напряжение низкого уровня, через исток и сток не протекает ток.

Просим ознакомиться с фиг. 1. Фиг. 1 представляет собой структурное схематическое изображение схемы ограничения тока согласно примерному варианту выполнения настоящего раскрытия. Схема 10 ограничения тока содержит первый вывод А напряжения, второй вывод В напряжения, первый транзистор Т1 и модуль 100 ограничения тока. Входной вывод первого транзистора Т1 и выходной вывод первого транзистора Т1 соединены последовательно на пути, образованном первым выводом А напряжения и вторым выводом В напряжения. Модуль 100 ограничения тока электрически соединен с управляющим выводом первого транзистора Т1. Модуль 100 ограничения тока выполнен с возможностью выдачи управляющего сигнала на управляющий вывод первого транзистора Т1 для управления состоянием первого транзистора Т1 так, что можно регулировать значение ограничения тока схемы 10 ограничения тока. Первый вывод первого транзистора Т1 является одним из истока и стока транзистора, а второй вывод первого транзистора Т1 является другим из истока и стока транзистора. Управляющий вывод является затвором транзистора.

Первый вывод А напряжения может служить в качестве входного вывода рабочего напряжения интегральной микросхемы управления питанием, а второй вывод В напряжения может служить в качестве выходного вывода напряжения AVDD. В отрасли производства панелей отображения интегральная микросхема управления питанием будет выполнять операцию ограничения тока во время запуска напряжения AVDD. Цель заключается в медленном включении первого транзистора Т1 и плавном установлении напряжения AVDD, тем самым предотвращая повреждение других электронных компонентов в контуре избыточными токами.

Если значение ограничения тока схемы 10 ограничения тока слишком мало, интегральная микросхема управления питанием не может устанавливать напряжение в течение определенного времени во время загрузки под высокой нагрузкой из-за ограничения тока и, таким образом, загрузка не выполняется; если значение ограничения тока схемы 10 ограничения тока слишком велико, компоненты интегральной микросхемы управления питанием повреждаются длительным высоким током, когда внутренняя нагрузка замыкается накоротко. В варианте выполнения настоящего раскрытия значение ограничения тока схемы 10 ограничения тока можно регулировать. Другими словами, схема 10 ограничения тока варианта выполнения настоящего раскрытия выполнена с возможностью установки значения ограничения тока схемы 10 ограничения тока в соответствии с фактической ситуацией так, что регулируется значение ограничения тока схемы 10 ограничения тока, что предотвращает сбой загрузки под высокой нагрузкой, вызываемый интегральной микросхемой управления питанием, и дополнительно предотвращает повреждение интегральной микросхемы управления питанием из-за короткозамкнутой внутренней нагрузки во время загрузки.

Просим ознакомиться с фиг. 2. Фиг. 2 представляет собой структурное схематическое изображение схемы ограничения тока согласно другому примерному варианту выполнения настоящего раскрытия. Модуль 100 ограничения тока содержит блок 101 повышения напряжения, блок 102 переменного напряжения, первый блок 1031 сравнения и блок 104 постоянного тока. Первый вывод блока 101 повышения напряжения электрически соединен с первым выводом А напряжения. Второй вывод блока 101 повышения напряжения электрически соединен с входным выводом первого транзистора Т1. Первый вывод блока 102 переменного напряжения электрически соединен с первым выводом А напряжения. Второй вывод блока 102 переменного напряжения электрически соединен с первым выводом первого блока 1031 срав-

нения. Второй вывод первого блока 1031 сравнения электрически соединен с входным выводом первого транзистора Т1. Второй вывод блока 104 постоянного тока электрически соединен с управляющим выводом первого транзистора Т1. Можно понять, что в варианте выполнения настоящего раскрытия значение ограничения тока схемы 10 ограничения тока можно регулировать посредством операций блока 101 повышения напряжения, блока 102 переменного напряжения, первого блока 1031 сравнения и блока 104 постоянного тока.

Просим ознакомиться с фиг. 3. Фиг. 3 представляет собой структурное схематическое изображение схемы ограничения тока согласно другому примерному варианту выполнения настоящего раскрытия. Схема 10 ограничения тока, показанная на фиг. 3, дополнительно содержит второй блок 1032 сравнения и блок 105 отсчета времени.

Модуль 100 ограничения тока содержит блок 101 повышения напряжения, блок 102 переменного напряжения, блок 103 сравнения, блок 104 постоянного тока и блок 105 отсчета времени. Блок 103 сравнения содержит первый блок 1031 сравнения и второй блок 1032 сравнения. Первый вывод блока 101 повышения напряжения электрически соединен с первым выводом А напряжения. Второй вывод блока 101 повышения напряжения электрически соединен с входным выводом первого транзистора Т1. Первый вывод блока 102 переменного напряжения электрически соединен с первым выводом А напряжения. Второй вывод блока 102 переменного напряжения электрически соединен с первым выводом первого блока 1031 сравнения. Второй вывод первого блока 1031 сравнения электрически соединен с входным выводом первого транзистора Т1. Третий вывод первого блока 1031 сравнения электрически соединен с первым выводом блока 104 постоянного тока. Второй вывод блока 104 постоянного тока электрически соединен с управляющим выводом первого транзистора Т1. Блок 105 отсчета времени электрически соединен с первым выводом второго блока 1032 сравнения. Второй вывод второго блока 1032 сравнения электрически соединен со вторым выводом В напряжения. Третий вывод второго блока 1032 сравнения принимает сигнал М постоянного напряжения. Четвертый вывод второго блока 1032 сравнения электрически соединен с управляющим выводом первого транзистора Т1. В варианте выполнения настоящего раскрытия значение ограничения тока и время ограничения тока схемы 10 ограничения тока можно регулировать посредством операций блока 101 повышения напряжения, блока 102 переменного напряжения, первого блока 1031 сравнения, второго блока 1032 сравнения, блока 104 постоянного тока и блока 105 отсчета времени.

Блок 101 повышения напряжения управляет индуктором L для накопления и высвобождения энергии посредством включенного и выключенного состояний второго транзистора Q так, что напряжение на выходе блока 101 повышения напряжения превышает его напряжение на входе. Другими словами, блок 101 повышения напряжения работает для того, чтобы сделать напряжение второго вывода блока 101 повышения напряжения больше напряжения первого вывода блока 101 повышения напряжения. Первый вывод блока 101 повышения напряжения служит в качестве входного вывода для подачи напряжения, а второй вывод блока 101 повышения напряжения служит в качестве выходного вывода для выдачи напряжения.

Блок 102 переменного напряжения всегда может поддерживать постоянное напряжение на двух его выводах независимо от величины тока, протекающего через него. Блок 102 переменного напряжения имеет два основных свойства: во-первых, напряжения на выводах блока 102 переменного напряжения независимы от тока, протекающего через него; во-вторых, напряжение блока 102 переменного напряжения является определенным, тогда как ток, протекающий через него, является произвольным. Другими словами, блок 102 переменного напряжения работает для того, чтобы выдавать переменное напряжение.

Блок 103 сравнения содержит первый блок 1031 сравнения и второй блок 1032 сравнения. Функция блока 103 сравнения заключается в сравнении двух напряжений (для выявления взаимосвязи между двумя напряжениями на входе посредством высокого или низкого уровня напряжения на выходе). Когда напряжение на "положительном (+)" входном выводе превышает напряжение на "отрицательном (-)" входном выводе, напряжение на выходе компаратора напряжения имеет высокий уровень; когда напряжение на "положительном (+)" входном выводе ниже напряжения на "отрицательном (-)" входном выводе, напряжение на выходе компаратора напряжения имеет низкий уровень.

Первый блок 1031 сравнения выполнен с возможностью выдачи управляющего сигнала блока 104 постоянного тока на третьем выводе первого блока 1031 сравнения на основе напряжения на первом выводе первого блока 1031 сравнения и напряжения на втором выводе первого блока 1031 сравнения. Второй блок 1032 сравнения управляется управляющим сигналом блока сравнения для выдачи управляющего сигнала первого транзистора Т1 на четвертом выводе второго блока 1032 сравнения на управляющий вывод первого транзистора Т1 на основе напряжения на втором выводе второго блока 1032 сравнения и напряжения на третьем выводе второго блока 1032 сравнения.

Первый вывод первого блока 1031 сравнения представляет собой "отрицательный (-)" входной вывод, второй вывод первого блока 1031 сравнения представляет собой "положительный (+)" входной вывод, а третий вывод первого блока 1031 сравнения представляет собой выходной вывод. Когда напряжение на первом выводе первого блока 1031 сравнения превышает напряжение на втором выводе первого блока 1031 сравнения, управляющий сигнал блока постоянного тока, выдаваемый третьим выводом пер-

вого блока 1031 сравнения, имеет низкий уровень напряжения; когда напряжение на первом выводе первого блока 1031 сравнения ниже напряжения на втором выводе первого блока 1031 сравнения, управляющий сигнал блока постоянного тока, выдаваемый третьим выводом первого блока 1031 сравнения, имеет высокий уровень напряжения. Первый вывод второго блока 1032 сравнения представляет собой разрешающий вывод, второй вывод второго блока 1032 сравнения представляет собой "положительный (+)" входной вывод, третий вывод второго блока 1032 сравнения представляет собой "отрицательный (-)" входной вывод, а четвертый вывод второго блока 1032 сравнения представляет собой выходной вывод. Когда первый вывод второго блока 1032 сравнения имеет высокий уровень напряжения, начинает работать второй блок 1032 сравнения; когда первый вывод второго блока 1032 сравнения имеет низкий уровень напряжения, второй блок 1032 сравнения перестает работать. Когда напряжение на втором выводе второго блока 1032 сравнения превышает напряжение на третьем выводе второго блока 1032 сравнения, управляющий сигнал для первого транзистора T1, выдаваемый четвертым выводом второго блока 1032 сравнения, имеет высокий уровень напряжения; когда напряжение на втором выводе второго блока 1032 сравнения ниже напряжения на третьем выводе второго блока 1032 сравнения, управляющий сигнал для первого транзистора T1, выдаваемый выходным выводом второго блока 1032 сравнения, имеет низкий уровень напряжения.

Блок 104 постоянного тока представляет собой модель, которая функционирует в качестве фактического источника питания, и его кнопка вывода всегда может подавать наружу постоянный ток, который не зависит от напряжения на двух выводах. Блок 104 постоянного тока имеет два основных свойства: во-первых, ток, подаваемый блоком 104 постоянного тока, является постоянным и не зависит от напряжения на двух выводах; во-вторых, ток блока 104 постоянного тока является определенным, а напряжение на двух выводах является произвольным. Другими словами, блок 104 постоянного тока управляется управляющим сигналом блока постоянного тока для выдачи постоянного тока, и постоянный ток может быть установлен в соответствии с фактическими требованиями.

Блок 105 отсчета времени работает в качестве регистра для установки времени ограничения тока. Другими словами, блок 105 отсчета времени выполнен с возможностью выдачи управляющего сигнала блока сравнения с интервалами с заданным временем. Когда первый вывод второго блока 1032 сравнения принимает управляющий сигнал блока сравнения, начинает работать второй блок 1032 сравнения; когда первый вывод второго блока 1032 сравнения не принимает управляющий сигнал блока сравнения, второй блок 1032 сравнения перестает работать.

Просим ознакомиться с фиг. 4. Фиг. 4 представляет собой изображение схемы ограничения тока согласно примерному варианту выполнения настоящего раскрытия. Блок 101 повышения напряжения содержит индуктор L, второй транзистор Q и диод D1. Первый вывод индуктора L электрически соединен с первым выводом A напряжения. Второй вывод индуктора L и первый вывод второго транзистора Q электрически соединены с первым выводом диода D1. Второй вывод диода D1 электрически соединен с входным выводом первого транзистора T1. Второй вывод второго транзистора Q электрически соединен с заземляющим выводом GND. Процесс работы блока 101 повышения напряжения может быть разделен на два процесса: процесс зарядки и процесс разрядки.

Просим ознакомиться с фиг. 5 и 6. Фиг. 5 представляет собой схематическое изображение, на котором показан процесс зарядки блока 101 повышения напряжения, а фиг. 6 представляет собой схематическое изображение, на котором показан процесс разрядки блока 101 повышения напряжения. В процессе зарядки включается второй транзистор Q. В это время напряжение на входе проходит через индуктор L. Диод D1 предотвращает разрядку конденсатора на землю. Так как на вход подается постоянный ток, ток на индукторе L увеличивается линейно с определенным отношением, которое связано с размером индуктора L. По мере увеличения тока индуктора L в индукторе накапливается L часть энергии. В процессе разрядки второй транзистор Q выключается. Когда второй транзистор Q выключается, из-за характеристики удержания тока индуктора L ток, протекающий через индуктор L, не сразу уменьшается до нуля, а медленно изменяется до нуля от значения, когда зарядка завершена, до нуля. Исходная схема была отключена, поэтому индуктор L разряжается только через новую схему, то есть индуктор L начинает заряжать конденсатор. Напряжение на двух выводах конденсатора увеличивается. В это время напряжение превышает напряжение на входе, и повышение напряжения завершается.

Блок 102 переменного напряжения может содержать источник переменного напряжения. Первый вывод источника переменного напряжения электрически соединен с первым выводом A напряжения. Второй вывод источника переменного напряжения электрически соединен с первым выводом первого блока 1031 сравнения. В некоторых вариантах выполнения блок 102 переменного напряжения может быть реализован в виде другого устройства, имеющего такие же характеристики. Другими словами, блок 102 переменного напряжения может быть реализован в виде устройства, выполненного с возможностью подачи переменного напряжения.

Значение ограничения тока схемы 10 ограничения тока может быть получено по следующей формуле: $I=(V1-V2)/R$, где I представляет собой значение ограничения тока схемы ограничения тока, V1 представляет собой значение напряжения, установленное блоком переменного напряжения, V2 представляет собой значение падения напряжения на диоде D1, а R представляет собой полное сопротивление

ние индуктора L. Например: значение ограничения тока схемы ограничения тока равно 1А, когда полное сопротивление индуктора L равно 50 мОм, значение падения напряжения на диоде D1 равно 350 мВ и напряжение источника переменного напряжения установлено равным 400 мВ; значение ограничения тока схемы ограничения тока равно 2А, когда полное сопротивление индуктора L равно 50 мОм, значение падения напряжения на диоде D1 равно 350 мВ и напряжение источника переменного напряжения установлено равным 450 мВ; значение ограничения тока схемы ограничения тока равно 3А, когда полное сопротивление индуктора L равно 50 мОм, значение падения напряжения на диоде D1 равно 350 мВ и напряжение источника переменного напряжения установлено равным 500 мВ; и значение ограничения тока схемы ограничения тока равно 4А, когда полное сопротивление индуктора L равно 50 мОм, значение падения напряжения на диоде D1 равно 350 мВ и напряжение источника переменного напряжения установлено равным 550 мВ. На основе приведенного выше описания вариант выполнения настоящего раскрытия может предусматривать множество разных значений ограничения тока схемы ограничения тока путем установки значения напряжения источника переменного напряжения.

Первый блок 1031 сравнения содержит первый компаратор. Первый вывод первого компаратора электрически соединен со вторым выводом блока 102 переменного напряжения. Второй вывод первого компаратора электрически соединен с входным выводом первого транзистора T1. Третий вывод первого компаратора электрически соединен с первым выводом блока 104 постоянного тока.

Первый вывод первого компаратора представляет собой "отрицательный (-)" входной вывод, второй вывод первого компаратора представляет собой "положительный (+)" входной вывод, а третий вывод первого компаратора представляет собой выходной вывод. Когда напряжение на первом выводе первого компаратора превышает напряжение на втором выводе первого компаратора, управляющий сигнал блока постоянного тока, выдаваемый третьим выводом первого компаратора, имеет низкий уровень напряжения. Когда напряжение на первом выводе первого компаратора ниже напряжения на втором выводе первого компаратора, управляющий сигнал блока постоянного тока, выдаваемый третьим выводом первого компаратора, имеет высокий уровень напряжения.

Первый компаратор сравнивает сумму напряжения на первом выводе А напряжения и напряжения источника переменного напряжения с напряжением на первом выводе первого транзистора T1. Когда сумма напряжения на первом выводе А напряжения и напряжения источника переменного напряжения превышает напряжение на первом выводе первого транзистора T1, первый компаратор выдает низкий уровень напряжения; когда сумма напряжения на первом выводе А напряжения и напряжения источника переменного напряжения меньше напряжения на первом выводе первого транзистора T1, первый компаратор выдает высокий уровень напряжения.

Блок 104 постоянного тока содержит источник постоянного тока. Первый вывод источника постоянного тока электрически соединен с третьим выводом первого блока 1031 сравнения. Второй вывод источника постоянного тока электрически соединен с управляющим выводом первого транзистора T1. Третий вывод источника постоянного тока электрически соединен с заземляющим выводом GND. В некоторых вариантах выполнения блок 104 постоянного тока может быть реализован в виде другого устройства, имеющего такие же характеристики. Другими словами, блок 104 постоянного тока может быть реализован в виде устройства, которое может подавать постоянный ток. Когда первый вывод источника постоянного тока имеет высокий уровень напряжения, источник постоянного тока активируется для работы; когда первый вывод источника постоянного тока имеет низкий уровень напряжения, источник постоянного тока деактивируется.

Блок 105 отсчета времени содержит таймер. Таймер электрически соединен с первым выводом второго блока 1032 сравнения. Таймер выдает сигнал высокого напряжения с заданным интервалом времени. Например, таймер может быть установлен на разные промежутки времени обнаружения, например, 4, 6, 8 или 10 мс.

Второй блок 1032 сравнения содержит второй компаратор. Первый вывод второго компаратора электрически соединен с блоком 105 отсчета времени. Второй вывод второго компаратора электрически соединен со вторым выводом В напряжения. Третий вывод второго компаратора принимает сигнал М постоянного напряжения. Четвертый вывод второго компаратора электрически соединен с управляющим выводом первого транзистора T1.

Первый вывод второго компаратора представляет собой разрешающий вывод, второй вывод второго компаратора представляет собой "положительный (+)" входной вывод, третий вывод второго компаратора представляет собой "отрицательный (-)" входной вывод, а четвертый вывод второго компаратора представляет собой выходной вывод. Когда первый вывод второго компаратора имеет высокий уровень напряжения, второй компаратор начинает работать. Когда первый вывод второго компаратора имеет низкий уровень напряжения, второй компаратор перестает работать. Когда напряжение на втором выводе второго компаратора превышает напряжение на третьем выводе второго компаратора, управляющий сигнал для первого транзистора T1, выдаваемый четвертым выводом второго компаратора, имеет высокий уровень напряжения; когда напряжение на втором выводе второго компаратора меньше напряжения на третьем выводе второго компаратора, управляющий сигнал для первого транзистора T1, выдаваемый выходным выводом второго компаратора, имеет низкий уровень напряжения.

Когда первый вывод второго компаратора имеет высокий уровень напряжения, второй компаратор активируется для работы; когда первый вывод второго компаратора имеет низкий уровень напряжения, второй компаратор деактивируется. Второй компаратор сравнивает напряжение на втором выводе В напряжения с напряжением сигнала М постоянного напряжения. Когда напряжение на втором выводе В напряжения превышает напряжение сигнала М постоянного напряжения, первый компаратор выдает напряжение высокого уровня; когда напряжение на втором выводе В напряжения меньше напряжения сигнала М постоянного напряжения, первый компаратор выдает напряжение низкого уровня.

Значение напряжения сигнала М постоянного напряжения находится в диапазоне 0,85-0,9 от значения напряжения первого вывода А напряжения. В некоторых вариантах выполнения значение напряжения сигнала М постоянного напряжения может быть установлено на значении 0,85-0,9 от значения напряжения первого вывода А напряжения. В другом варианте выполнения умножитель может быть подсоединен последовательно между первым выводом А напряжения и третьим выводом второго блока 1032 сравнения так, что значение напряжения сигнала М постоянного напряжения равно значению 0,85-0,9 от значения напряжения первого вывода А напряжения.

В качестве примера для описания примем, что напряжение источника переменного напряжения установлено равным 400 мВ. Ток на пути, образованном первым выводом А напряжения и вторым выводом В напряжения, подается первым выводом А напряжения и достигает второго вывода В напряжения через индуктор L, диод D1 и первый транзистор T1. Разность напряжений между первым выводом А напряжения и первым выводом первого транзистора T1 обнаруживается и сравнивается с напряжением источника переменного напряжения (напряжение источника переменного напряжения на данный момент установлено равным 400 мВ). Когда разность напряжений между первым выводом А напряжения и первым выводом первого транзистора T1 меньше 400 мВ, источник постоянного тока активируется и непрерывно понижает потенциал управляющего вывода первого транзистора T1 с помощью тока 20 мкА так, что первый транзистор T1 постепенно включается, что вызывает зарядку второго вывода В напряжения от первого вывода А напряжения. Когда разность напряжений между первым выводом А напряжения и первым выводом первого транзистора T1 превышает 400 мВ, источник постоянного тока деактивируется и не понижает потенциал управляющего вывода первого транзистора T1 с помощью тока 20 мкА так, что первый транзистор T1 находится в полуоткрытом состоянии, тем самым достигая цели ограничения тока.

В качестве примера для описания примем, что таймер установлен на 4 мс, а сигнал М постоянного напряжения установлен равным 0,9 от значения напряжения первого вывода А напряжения. Таймер представляет собой регистр для установки времени ограничения тока, и время ограничения тока в данный момент установлено равным 4 мс. Момент времени, когда первый транзистор T1 включается, служит в качестве начального момента времени для отсчета времени, и по истечении 4 мс с начального момента времени определяется значение напряжения второго вывода В напряжения. Если значение напряжения второго вывода В напряжения превышает 0,9 от напряжения первого вывода А напряжения, контур питания считается нормальным, и первый транзистор T1 непрерывно включен. Случай, когда значение напряжения второго вывода В напряжения меньше 0,9 от напряжения первого вывода А напряжения, указывает на то, что в контуре может произойти короткое замыкание нагрузки. В этом случае первый транзистор T1 выключается для защиты внутренних электронных устройств.

Блок 102 переменного напряжения, первый блок 1031 сравнения, блок 104 постоянного тока, блок 105 отсчета времени и второй блок 1032 сравнения расположены в интегральной микросхеме управления питанием. Блок 101 повышения напряжения и первый транзистор T1 расположены не интегральной микросхемы управления питанием.

Схема ограничения тока дополнительно содержит первый конденсатор C1, второй конденсатор C2, третий конденсатор C3 и резистор Rg. Первый вывод первого конденсатора C1 электрически соединен с первым выводом А напряжения. Первый вывод второго конденсатора C2 электрически соединен с входным выводом первого транзистора T1. Первый вывод третьего конденсатора C3 и первый вывод резистора Rg электрически соединены со вторым выводом В напряжения. Второй вывод первого конденсатора C1, второй вывод второго конденсатора C2, второй вывод третьего конденсатора C3 и второй вывод резистора Rg электрически соединены с заземляющим терминалом GND.

Схема ограничения тока варианта выполнения настоящего раскрытия управляет состоянием первого транзистора посредством выдачи модулем ограничения тока управляющего сигнала на управляющий вывод первого транзистора так, что можно регулировать значение ограничения тока и время ограничения тока схемы ограничения тока, тем самым предотвращая сбой загрузки под высокой нагрузкой, вызываемый интегральной микросхемой управления питанием, и дополнительно предотвращая повреждение интегральной микросхемы управления питанием из-за короткозамкнутой внутренней нагрузки во время загрузки.

Выше представлены варианты выполнения настоящего раскрытия, которые не ограничивают объем охраны настоящего раскрытия. Любые модификации, эквивалентные замены или улучшения в пределах сущности и принципов варианта выполнения, описанного выше, должны быть охвачены объемом охраны раскрытия.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема ограничения тока, включающая:

первый вывод напряжения;

второй вывод напряжения;

первый транзистор, содержащий входной вывод и выходной вывод первого транзистора, которые соединены последовательно на пути, образованном первым выводом напряжения и вторым выводом напряжения; и

модуль ограничения тока, электрически соединенный с управляющим выводом первого транзистора;

при этом модуль ограничения тока выполнен с возможностью выдачи управляющего сигнала на управляющий вывод первого транзистора для управления состоянием первого транзистора, с возможностью регулировать значение ограничения тока схемы ограничения тока,

отличающаяся тем, что модуль ограничения тока содержит блок повышения напряжения, блок переменного напряжения, первый блок сравнения и блок постоянного тока;

при этом первый вывод блока повышения напряжения электрически соединен с первым выводом напряжения, второй вывод блока повышения напряжения электрически соединен со входным выводом первого транзистора, первый вывод блока переменного напряжения электрически соединен с первым выводом напряжения, второй вывод блока переменного напряжения электрически соединен с первым выводом первого блока сравнения, второй вывод первого блока сравнения электрически соединен с входным выводом первого транзистора, третий вывод первого блока сравнения электрически соединен с первым выводом блока постоянного тока, а второй вывод блока постоянного тока электрически соединен с управляющим выводом первого транзистора; и

блок повышения напряжения выполнен так, чтобы напряжение на втором выводе блока повышения напряжения превышало напряжение на первом выводе блока повышения напряжения, блок переменного напряжения выполнен с возможностью выдачи переменного напряжения, первый блок сравнения выполнен с возможностью выдачи управляющего сигнала блока постоянного тока на третьем выводе первого блока сравнения на основе напряжения на первом выводе первого блока сравнения и напряжения на втором выводе первого блока сравнения, а блок постоянного тока управляется управляющим сигналом блока постоянного тока для выдачи постоянного тока.

2. Схема по п.1, отличающаяся тем, что блок повышения напряжения содержит индуктор, второй транзистор и диод; и

при этом первый вывод индуктора электрически соединен с первым выводом напряжения, второй вывод индуктора и первый вывод второго транзистора электрически соединены с первым выводом диода, второй вывод диода электрически соединен с входным выводом первого транзистора, а второй вывод второго транзистора электрически соединен с заземляющим выводом.

3. Схема по п.2, отличающаяся тем, что значение ограничения тока получено по формуле:

$$I=(V1-V2)/R;$$

где I представляет собой значение ограничения тока схемы ограничения тока, V1 представляет собой значение напряжения, установленное блоком переменного напряжения, V2 представляет собой значение падения напряжения на диоде, а R представляет собой значение полного сопротивления индуктора.

4. Схема по п.1, отличающаяся тем, что блок переменного напряжения содержит источник переменного напряжения;

при этом первый вывод источника переменного напряжения электрически соединен с первым выводом напряжения, а второй вывод источника переменного напряжения электрически соединен с первым выводом первого блока сравнения.

5. Схема по п.1, отличающаяся тем, что первый блок сравнения содержит первый компаратор; и

при этом первый вывод первого компаратора электрически соединен со вторым выводом блока переменного напряжения, второй вывод первого компаратора электрически соединен с входным выводом первого транзистора, а третий вывод первого компаратора электрически соединен с первым выводом блока постоянного тока.

6. Схема по п.1, отличающаяся тем, что блок постоянного тока содержит источник постоянного тока; и

при этом первый вывод источника постоянного тока электрически соединен с третьим выводом первого блока сравнения, второй вывод источника постоянного тока электрически соединен с управляющим выводом первого транзистора, а третий вывод источника постоянного тока электрически соединен с заземляющим выводом.

7. Схема по п.1, дополнительно включающая блок отсчета времени и второй блок сравнения;

при этом блок отсчета времени электрически соединен с первым выводом второго блока сравнения, второй вывод второго блока сравнения электрически соединен со вторым выводом напряжения, третий вывод второго блока сравнения принимает сигнал постоянного напряжения, а четвертый вывод второго

блока сравнения электрически соединен с управляющим выводом первого транзистора;

при этом блок отсчета времени выполнен с возможностью выдачи управляющего сигнала блока сравнения с интервалами с заданным временем;

при этом второй блок сравнения управляется управляющим сигналом блока сравнения для выдачи управляющего сигнала первого транзистора на четвертом выводе второго блока сравнения на управляющий вывод первого транзистора на основе напряжения на втором выводе второго блока сравнения и напряжения на третьем выводе второго блока сравнения.

8. Схема по п.7, отличающаяся тем, что блок отсчета времени содержит таймер, который электрически соединен с первым выводом второго блока сравнения.

9. Схема по п.7, отличающаяся тем, что второй блок сравнения содержит второй компаратор;

при этом первый вывод второго компаратора электрически соединен с блоком отсчета времени, второй вывод второго компаратора электрически соединен со вторым выводом напряжения, третий вывод второго компаратора принимает сигнал постоянного напряжения, а четвертый вывод второго компаратора электрически соединен с управляющим выводом первого транзистора.

10. Схема по п.7, отличающаяся тем, что значение напряжения сигнала постоянного напряжения находится в диапазоне 0,85-0,9 от значения напряжения первого вывода напряжения.

11. Схема по п.1, дополнительно включающая первый конденсатор, второй конденсатор, третий конденсатор и резистор;

при этом первый вывод первого конденсатора электрически соединен с первым выводом напряжения, первый вывод второго конденсатора электрически соединен со входным выводом первого транзистора, первый вывод третьего конденсатора и первый вывод резистора электрически соединены со вторым выводом напряжения, а второй вывод первого конденсатора, второй вывод второго конденсатора, второй вывод третьего конденсатора и второй вывод резистора электрически соединены с заземляющим выводом.

12. Схема ограничения тока, включающая:

первый вывод напряжения;

второй вывод напряжения;

первый транзистор, содержащий входной вывод и выходной вывод первого транзистора, которые соединены последовательно на пути, образованном первым выводом напряжения и вторым выводом напряжения;

модуль ограничения тока, электрически соединенный с управляющим выводом первого транзистора;

блок повышения напряжения, при этом первый вывод блока повышения напряжения электрически соединен с первым выводом напряжения, а второй вывод блока повышения напряжения электрически соединен с входным выводом первого транзистора;

блок переменного напряжения, при этом первый вывод блока переменного напряжения электрически соединен с первым выводом напряжения;

первый блок сравнения, в котором первый вывод первого блока сравнения электрически соединен со вторым выводом блока переменного напряжения, второй вывод первого блока сравнения электрически соединен с входным выводом первого транзистора; и

блок постоянного тока, при этом третий вывод первого блока сравнения электрически соединен с первым выводом блока постоянного тока, а второй вывод блока постоянного тока электрически соединен с управляющим выводом первого транзистора;

первый конденсатор, электрически подсоединенный между первым выводом напряжения и заземляющим выводом;

второй конденсатор, электрически подсоединенный между входным выводом первого транзистора и заземляющим выводом;

третий конденсатор, электрически подсоединенный между вторым выводом напряжения и заземляющим выводом; и

резистор, электрически подсоединенный между вторым выводом напряжения и заземляющим выводом;

при этом модуль ограничения тока выполнен с возможностью выдачи управляющего сигнала на управляющий вывод первого транзистора для управления состоянием первого транзистора, с возможностью регулировать значение ограничения тока схемы ограничения тока; и

при этом блок повышения напряжения выполнен так, чтобы напряжение на втором выводе блока повышения напряжения превышало напряжение на первом выводе блока повышения напряжения, блок переменного напряжения выполнен с возможностью выдачи переменного напряжения, первый блок сравнения выполнен с возможностью выдачи управляющего сигнала блока постоянного тока на третий вывод первого блока сравнения на основе напряжения на первом выводе первого блока сравнения и напряжения на втором выводе первого блока сравнения, а блок постоянного тока управляется управляющим сигналом блока постоянного тока для выдачи постоянного тока.

13. Схема по п.12, в которой блок повышения напряжения содержит индуктор, второй транзистор и

диод; и

при этом первый вывод индуктора электрически соединен с первым выводом напряжения, второй вывод индуктора и первый вывод второго транзистора электрически соединены с первым выводом диода, второй вывод диода электрически соединен с входным выводом первого транзистора, а второй вывод второго транзистора электрически соединен с заземляющим выводом.

14. Схема по п.13, в которой значение ограничения тока схемы ограничения тока получено по формуле:

$$I=(V1-V2)/R;$$

где I представляет собой значение ограничения тока схемы ограничения тока, V1 представляет собой значение напряжения, установленное блоком переменного напряжения, V2 представляет собой значение падения напряжения на диоде, а R представляет собой значение полного сопротивления индуктора.

15. Схема по п.12, в которой блок переменного напряжения содержит источник переменного напряжения;

при этом первый вывод источника переменного напряжения электрически соединен с первым выводом напряжения, а второй вывод источника переменного напряжения электрически соединен с первым выводом первого блока сравнения.

16. Схема по п.12, в которой первый блок сравнения содержит первый компаратор; и

при этом первый вывод первого компаратора электрически соединен со вторым выводом блока переменного напряжения, второй вывод первого компаратора электрически соединен с входным выводом первого транзистора, а третий вывод первого компаратора электрически соединен с первым выводом блока постоянного тока.

17. Схема по п.12, в которой блок постоянного тока содержит источник постоянного тока; и

при этом первый вывод источника постоянного тока электрически соединен с третьим выводом первого блока сравнения, второй вывод источника постоянного тока электрически соединен с управляющим выводом первого транзистора, а третий вывод источника постоянного тока электрически соединен с заземляющим выводом.

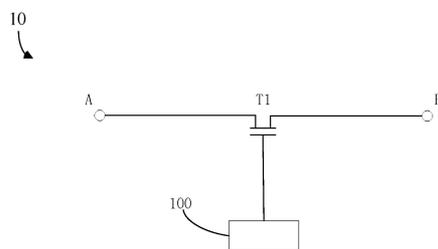
18. Схема по п.12, дополнительно включающая блок отсчета времени и второй блок сравнения;

при этом блок отсчета времени электрически соединен с первым выводом второго блока сравнения, второй вывод второго блока сравнения электрически соединен со вторым выводом напряжения, третий вывод второго блока сравнения принимает сигнал постоянного напряжения, а четвертый вывод второго блока сравнения электрически соединен с управляющим выводом первого транзистора;

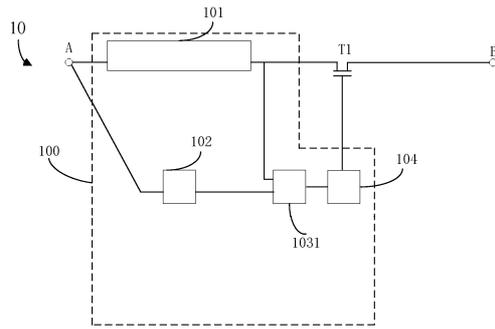
при этом блок отсчета времени выполнен с возможностью выдачи управляющего сигнала блока сравнения с интервалами с заданным временем;

при этом второй блок сравнения управляется управляющим сигналом блока сравнения для выдачи управляющего сигнала первого транзистора на четвертом выводе второго блока сравнения на управляющий вывод первого транзистора на основе напряжения на втором выводе второго блока сравнения и напряжения на третьем выводе второго блока сравнения.

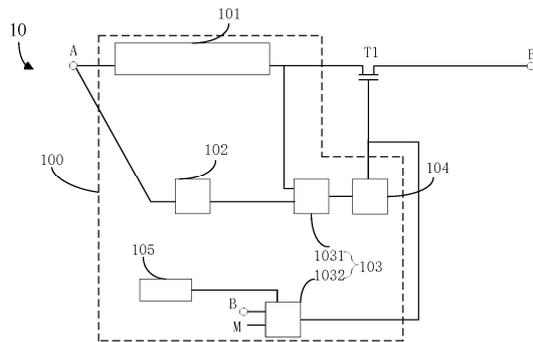
19. Схема по п.18, в которой блок отсчета времени содержит таймер, электрически соединенный с первым выводом второго блока сравнения, а второй блок сравнения содержит второй компаратор, при этом первый вывод второго компаратора электрически соединен с блоком отсчета времени, второй вывод второго компаратора электрически соединен со вторым выводом напряжения, третий вывод второго компаратора принимает сигнал постоянного напряжения, а четвертый вывод второго компаратора электрически соединен с управляющим выводом первого транзистора.



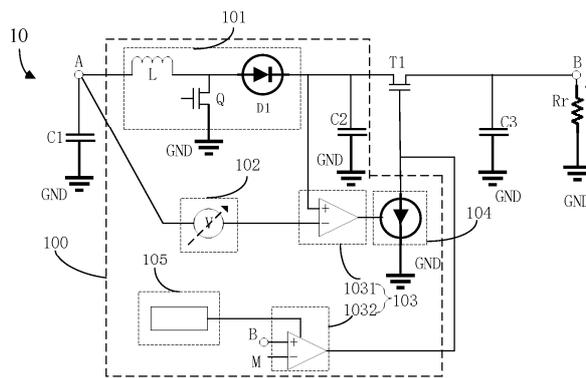
Фиг. 1



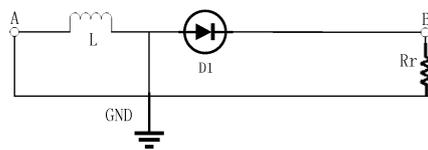
Фиг. 2



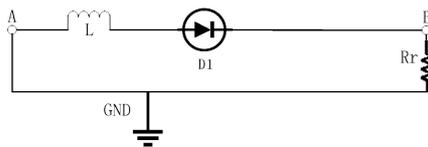
Фиг. 3



Фиг. 4



Фиг. 5



Фиг. 6

