

(19)



Евразийское
патентное
ведомство

(21) 202291608 (13) A1

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ЕВРАЗИЙСКОЙ ЗАЯВКЕ

(43) Дата публикации заявки
2024.05.08

(51) Int. Cl. *H01L 29/786* (2006.01)

(22) Дата подачи заявки
2021.09.03

(54) ПОДЛОЖКА МАТРИЦЫ ТОНКОПЛЕНОЧНЫХ ТРАНЗИСТОРОВ И СПОСОБ ЕЕ ИЗГОТОВЛЕНИЯ

(31) 202110978870.6

(72) Изобретатель:

(32) 2021.08.25

Чжо И (CN)

(33) CN

(74) Представитель:

(86) PCT/CN2021/116346

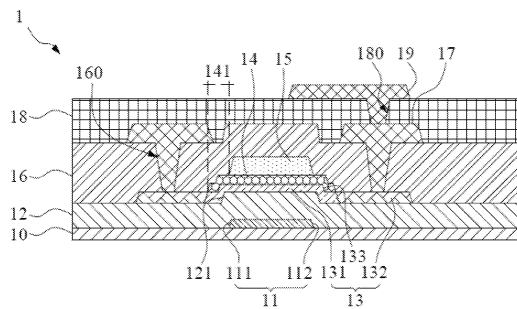
Кузнецова С.А. (RU)

(87) WO 2023/024146 2023.03.02

(71) Заявитель:

ШЭНЬЧЖЭНЬ ЧАЙНА
СТАР ОПТОЭЛЕКТРОНИКС
СЕМИКОНДАКТОР ДИСПЛЕЙ
ТЕКНОЛОДЖИ КО., ЛТД. (CN)

(57) Раскрыты подложка матрицы тонкопленочных транзисторов и способ ее изготовления. Подложка матрицы тонкопленочных транзисторов содержит подложку и платформенный слой, расположенный на подложке. Оксидный активный слой содержит канальную часть и две проводниковые части. Электрод истока и электрод стока электрически соединены с проводниковыми частями. Вертикальный уровень верхней поверхности канальной части выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей. Ортогональная проекция электрода затвора на подложке покрывает ортогональные проекции платформенного слоя и канальной части на подложке.



202291608 A1

202291608 A1

ПОДЛОЖКА МАТРИЦЫ ТОНКОПЛЕНОЧНЫХ ТРАНЗИСТОРОВ И СПОСОБ ЕЕ ИЗГОТОВЛЕНИЯ

ПРЕДПОСЫЛКИ ИЗОБРЕТЕНИЯ

1. ОБЛАСТЬ ТЕХНИКИ, К КОТОРОЙ ОТНОСИТСЯ ИЗОБРЕТЕНИЕ

[0001] Настоящее изобретение относится к технической области дисплеев, и в частности к подложке матрицы тонкопленочных транзисторов и способу ее изготовления.

2. УРОВЕНЬ ТЕХНИКИ

[0002] С развитием технологий дисплеев в настоящее время дисплеи с плоским экраном стали основными дисплеями. Широко распространенные дисплеи с плоским экраном включают жидкокристаллические дисплеи (LCD) и активные матрицы на органических светодиодах (AMOLED).

[0003] В дисплеях с плоским экраном подложки матрицы тонкопленочных транзисторов (TFT) являются главными управляющими элементами и необходимыми конструкциями для устройств дисплеев с плоским экраном высокой производительности. Подложки матрицы TFT содержат множество тонкопленочных транзисторов, расположенных в виде матрицы. Существуют разные типы тонкопленочных транзисторов, такие как тонкопленочные транзисторы с нижним затвором или тонкопленочные транзисторы с верхним затвором. Тонкопленочные транзисторы с верхним затвором имеют более низкую паразитную емкость и лучшую пластичность, поскольку не происходит перекрытия между электродами истока/стока и электродами затвора, и они могут уменьшить задержки передачи сигнала. В технологиях оксид-металлических тонкопленочных транзисторов с конструкциями верхних затворов для уменьшения сопротивления, возникающего во внешних каналах, часто используют процессы травления с самовыравниванием. То есть структуры затворов образуются одновременно с травлением изолирующих слоев затвора посредством одновременной фотолитографии, которую также используют для частей, не являющихся каналами, в электропроводной конструкции так, что можно эффективно предотвратить возникновение областей высокого сопротивления на обеих сторонах

канала из-за отклонения выравнивания. Однако диффузия эффектов проводимости на обоих концах канала приведет к образованию областей низкого сопротивления на обоих концах канала. То есть эффективная длина канала становится меньше, что не способствует уменьшению размеров TFT устройств.

СУЩНОСТЬ ИЗОБРЕТЕНИЯ

[0004] Целью настоящего изобретения является предоставление подложки матрицы тонкопленочных транзисторов и способа ее изготовления для преодоления технической проблемы, заключающейся в том, что диффузия эффектов электропроводимости на обоих концах канала традиционного устройства тонкопленочного транзистора приводит к образованию областей низкого сопротивления на обоих концах канала, что приводит к уменьшению эффективной длины канала, что не способствует уменьшению размеров устройств тонкопленочных транзисторов.

[0005] Для достижения вышеупомянутой цели в настоящем изобретении предоставлено следующее техническое решение.

[0006] В одном варианте осуществления настоящего изобретения предоставлена подложка матрицы тонкопленочных транзисторов, содержащая: подложку; платформенный слой, расположенный на подложке; оксидный активный слой, расположенный на подложке и размещенный над платформенным слоем и содержащий канальную часть и проводниковые части, размещенные на противоположных сторонах канальной части, при этом вертикальный уровень верхней поверхности канальной части выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей; изолирующий слой затвора, расположенный на оксидном активном слое; электрод затвора, расположенный на изолирующем слое затвора, при этом ортогональная проекция электрода затвора на подложке покрывает ортогональные проекции платформенного слоя и канальной части на подложке; и электрод истока и электрод стока, которые оба электрически соединены с проводниковыми частями.

[0007] Кроме того, подложка матрицы тонкопленочных транзисторов дополнительно содержит буферный слой, расположенный на подложке и покрывающий платформенный слой, при этом платформенный слой выполнен из изолирующего материала или оксида металла.

[0008] Кроме того, буферный слой содержит выгнутую часть, и канальная часть расположена на выгнутой части и покрывает всю выгнутую часть.

[0009] Кроме того, канальная часть содержит два уклона, и один конец каждого из уклонов соединен с соответствующей из проводниковых частей, при этом каждый уклон наклонен в направлении от канальной части к соответствующей проводниковой части.

[0010] Кроме того, платформенный слой содержит первую торцевую поверхность и вторую торцевую поверхность, наклоненные наружу, соответственно, и ортогональная проекция канальной части на подложке покрывает ортогональную проекцию платформенного слоя на подложке.

[0011] Кроме того, изолирующий слой затвора содержит две смещенные части, расположенные напротив друг друга, при этом каждая из смещенных частей образована между боковым краем электрода затвора и боковым краем изолирующего слоя затвора, расположенным рядом с боковым краем электрода затвора, так, что ортогональные проекции двух смещенных частей на подложке покрывают ортогональные проекции первой торцевой поверхности и второй торцевой поверхности платформенного слоя и ортогональные проекции уклонов канальной части на подложке, соответственно.

[0012] Кроме того, подложка матрицы тонкопленочных транзисторов дополнительно содержит межслойный диэлектрический слой, покрывающий оксидный активный слой, изолирующий слой затвора и электрод затвора и содержащий множество межслойных отверстий, при этом электрод истока и электрод стока расположены на межслойном диэлектрическом слое и электрически соединены с проводниковыми частями через межслойные отверстия.

[0013] В одном варианте осуществления настоящего изобретения дополнительно предоставлен способ изготовления подложки матрицы тонкопленочных транзисторов, включающий: осаждение платформенного слоя на подложку, при этом платформенный слой выполнен из изолирующего материала или оксида металла; образование оксидного активного слоя на подложке и образование канальной части и проводниковых областей, расположенных на двух противоположных сторонах канальной части, с использованием процесса фотолитографии; осаждение изолирующего слоя затвора на оксидный активный слой; осаждение металлического слоя затвора на изолирующем слое затвора;

образование, с использованием процесса фотолитографии для структурирования металлического слоя затвора, электрода затвора и травление с самовыравниванием изолирующего слоя затвора с обнажением проводниковых частей оксидного активного слоя, при этом ортогональная проекция электрода затвора на подложке покрывает ортогональные проекции платформенного слоя и канальной части на подложке; выполнение плазменной обработки всей поверхности для придания проводниковым областям оксидного активного слоя проводимости с образованием проводниковых частей, при этом вертикальный уровень верхней поверхности канальной части выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей; осаждение межслойного диэлектрического слоя для покрытия оксидного активного слоя, изолирующего слоя затвора и электрода затвора и структурирование межслойного диэлектрического слоя с образованием множества межслойных отверстий; и осаждение и структурирование металлического слоя электрода истока/электрода стока в электрод истока и электрод стока, при этом электрод истока и электрод стока электрически соединены с проводниковыми частями оксидного активного слоя через межслойные отверстия.

[0014] Кроме того, перед этапом образования оксидного активного слоя на подложке способ дополнительно включает осаждение буферного слоя на подложке для покрытия платформенного слоя, и буферный слой образуют процессом фотолитографии с образованием выгнутой части, находящейся непосредственно над платформенным слоем, при этом канальная часть расположена на выгнутой части и покрывает всю выгнутую часть.

[0015] Кроме того, канальная часть содержит два уклона, причем один конец каждого из уклонов соединен с соответствующей из проводниковых частей и каждый из уклонов наклонен в направлении от канальной части к соответствующей проводниковой части, при этом изолирующий слой затвора содержит две смещенные части, расположенные напротив друг друга, при этом каждая из смещенных частей образована между боковым краем электрода затвора и боковым краем изолирующего слоя затвора, расположенным рядом с боковым краем электрода затвора, так, что ортогональные проекции двух смещенных частей на подложке покрывают ортогональные проекции первой торцевой поверхности и второй торцевой поверхности платформенного слоя и ортогональные проекции уклонов канальной части на подложке, соответственно.

[0016] Настоящее изобретение обладает следующими преимуществами: в вариантах осуществления настоящего изобретения предоставлены подложка матрицы тонкопленочных транзисторов и способ ее изготовления. Платформенный слой и регулировку углов первой торцевой поверхности и второй торцевой поверхности платформенного слоя используют для обеспечения возможности образования плавных смещенных частей в форме уклона структур верхних пленочных слоев так, что ортогональные проекции смещенных частей на подложке покрывают ортогональные проекции уклонов канальной части на подложке и попадают на первую торцевую поверхность и вторую торцевую поверхность платформенного слоя, соответственно. Предоставление смещенных частей продлевает проводящий диффузионный путь оксидного активного слоя так, что длины областей низкого сопротивления, образованных посредством диффузии с двух концов канальной части до внутреннего пространства канальной части, уменьшаются после процесса травления с самовыравниванием, чтобы эффективно регулировать или подавлять сокращение эффективной длины канала и обеспечивать эффективную длину канала, тем самым облегчая реализацию уменьшения размеров устройств тонкопленочных транзисторов и эффективно устраняя техническую проблему, заключающуюся в том, что диффузия эффектов электропроводимости на обоих концах канала традиционного устройства тонкопленочного транзистора приводит к образованию областей низкого сопротивления на обоих концах канала, что приводит к уменьшению эффективной длины канала, что не способствует уменьшению размеров устройств тонкопленочных транзисторов.

КРАТКОЕ ОПИСАНИЕ ГРАФИЧЕСКИХ МАТЕРИАЛОВ

[0017] Для описания технических решений в вариантах осуществления настоящего изобретения ниже кратко представлены сопроводительные графические материалы для описания вариантов осуществления. Очевидно, что сопроводительные графические материалы в последующем описании показывают просто некоторые варианты осуществления настоящего изобретения, и специалист в данной области техники все равно может получить другие графические материалы из этих сопроводительных графических материалов без творческих усилий.

[0018] На фиг. 1 представлен схематический вид в поперечном разрезе подложки матрицы тонкопленочных транзисторов согласно одному варианту осуществления настоящего изобретения.

[0019] На фиг. 2 представлен схематический вид в поперечном разрезе подложки матрицы тонкопленочных транзисторов согласно другому варианту осуществления настоящего изобретения.

[0020] На фиг. 3 представлена блок-схема способа изготовления подложки матрицы тонкопленочных транзисторов согласно одному варианту осуществления настоящего изобретения.

[0021] На фиг. 4–11 представлены схематические виды конструкций пленочных слоев тонкопленочного транзистора, изготовленных на каждом этапе в способе изготовления подложки матрицы тонкопленочных транзисторов, согласно варианту осуществления настоящего изобретения.

ОПИСАНИЕ ПРЕДПОЧТИТЕЛЬНЫХ ВАРИАНТОВ ОСУЩЕСТВЛЕНИЯ

[0022] Приведенные ниже варианты осуществления относятся к сопроводительным графическим материалам для иллюстрации конкретных реализуемых вариантов осуществления настоящего изобретения. Термины, указывающие направление, описанные в настоящем изобретении, такие как «верхний», «нижний», «передний», «задний», «левый», «правый», «внутренний», «наружный», «боковой» и т. д., являются только указаниями, относящимися к прилагаемым графическим материалам, и поэтому используемые термины, указывающие направление, используются для описания и понимания настоящего изобретения, но настоящее изобретение ими не ограничивается. В графических материалах элементы с подобными конструкциями обозначены одинаковыми номерами ссылочных позиций. На графических материалах, для четкости понимания и легкости описания, толщина некоторых слоев и областей преувеличена. То есть размер и толщина каждого компонента, показанного на графических материалах, показаны произвольно, но настоящее изобретение ими не ограничено.

[0023] В одном варианте осуществления настоящего изобретения предоставлен тонкопленочный транзистор, который может быть расположен в матрице и встроен в подложку матрицы тонкопленочных транзисторов. Подложка матрицы тонкопленочных

транзисторов снабжена множеством шин сканирования затвора и множеством шин передачи данных. Шины сканирования затвора и шины передачи данных в совокупности образуют множество пиксельных блоков, и каждый пиксельный блок снабжен тонкопленочным транзистором и пиксельным электродом. Подложка матрицы тонкопленочных транзисторов может служить управляющей подложкой жидкокристаллического дисплея или дисплея на органических светодиодах.

[0024] Обратимся к фиг. 1, которая представляет собой схематический вид в поперечном разрезе подложки 1 матрицы тонкопленочных транзисторов согласно одному варианту осуществления настоящего изобретения. Как показано на фиг. 1, подложка 1 матрицы тонкопленочных транзисторов, предусмотренная вариантом осуществления настоящего изобретения, содержит подложку 10, платформенный слой 11, оксидный активный слой 13, изолирующий слой 14 затвора, электрод 15 затвора, межслойный изолирующий слой 16, электроды 17 истока и стока, пассивирующий слой 18 и пиксельный электрод 19, расположенные последовательно. Материал подложки 10 может представлять собой стекло или прозрачный пластик и другие материалы, предпочтительно стекло. Платформенный слой 11 расположен на поверхности подложки 10. В частности, изолирующий материал используют для размещения слоя платформенной пленки, которую структурируют посредством процесса фотолитографии с образованием платформенного слоя 11. Платформенный слой 11 содержит верхнюю поверхность, первую торцевую поверхность 111 и вторую торцевую поверхность 112. Следует отметить, что первая торцевая поверхность 111 и вторая торцевая поверхность 112 расположены на двух противоположных концах платформенного слоя 11, соответственно. Как первая торцевая поверхность 111, так и вторая торцевая поверхность 112 наклонены наружу в направлении от верхней поверхности платформенного слоя 11 к подложке 10. Предпочтительно первая торцевая поверхность 111 и подложка 10 образуют угол от 40° до 80° и вторая торцевая поверхность 112 образует угол от 40° до 80° относительно подложки 10. В одном варианте осуществления угол между первой торцевой поверхностью 111 и подложкой 10 равен углу между второй торцевой поверхностью 112 и подложкой 10. Следует отметить, что упомянутый выше диапазон углов установлен согласно диапазонам параметров процессов травления и может облегчать образование наклона верхних слоев пленки.

[0025] Как показано на фиг. 1, оксидный активный слой 13 расположен на подложке 10. Оксидный активный слой 13 может быть металлическим оксидным полупроводником, выполненным из такого материала, как оксид индия, галлия и цинка (IGZO), оксид индия, цинка и олова (IZTO) или оксид индия, галлия, цинка и олова (IGZTO). Оксидный активный слой 13 содержит канальную часть 131 и проводниковые части 132, расположенные на противоположных сторонах канальной части 131, при этом канальная часть 131 расположена непосредственно над платформенным слоем 11. Следует отметить, что поскольку платформенный слой 11 расположен на поверхности подложки 10, высота канальной части 131 таким образом приподнята, в результате чего канальная часть 131 и проводниковая часть 132 расположены в разных горизонтальных положениях, соответственно. То есть вертикальный уровень верхней поверхности канальной части 131 выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей 132. А именно, канальная часть 131 содержит два уклона 133, и один конец каждого уклона 133 соединен с соответствующей из проводниковых частей 132, причем другой конец выходит из канальной части 131. Каждый уклон 133 наклонен в направлении от канальной части 131 к соответствующей проводниковой части 132.

[0026] Продолжая обращаться к фиг. 1, изолирующий слой 14 затвора расположен на оксидном активном слое 13. Электрод 15 затвора расположен на изолирующем слое 14 затвора. Следует отметить, что электрод 15 затвора образован посредством структурирования металлического слоя затвора при помощи процесса фотолитографии, и изолирующий слой 14 затвора вытравливают с самовыравниванием так, чтобы обнажать проводниковые области 130 оксидного активного слоя 13. Затем выполняют плазменную обработку всей поверхности для придания проводниковым областям 130 оксидного активного слоя 13 проводимости, в результате чего образуются проводниковые части 132. В частности, после того, как изолирующий слой 14 затвора подвергают процессу фотолитографии и травлению с самовыравниванием, образуются две смещенные части 141. Две смещенные части 141 расположены на двух противоположных концах изолирующего слоя 14 затвора, и каждая смещенная часть 141 расположена согласно соответствующему одному из уклонов 133 канальной части 131 и покрывает соответствующий уклон 133. В частности, каждая смещенная часть 141 образована между боковым краем электрода 15 затвора и боковым краем изолирующего слоя 14 затвора, расположенным рядом с боковым краем электрода 15

затвора. Следует отметить, что длина платформенного слоя 11 меньше, чем длина канальной части 131, и по существу такая же, как длина электрода 15 затвора. То есть ортогональная проекция электрода 15 затвора на подложке 10 покрывает ортогональные проекции платформенного слоя 11 и канальной части 131 на подложке 10. В этом варианте осуществления разница длины между платформенным слоем 11 и электродом 15 затвора меньше двух микрон. На схематическом виде в поперечном разрезе подложки 1 матрицы тонкопленочных транзисторов на фиг. 1 видно, что как первая 111 торцевая поверхность, так и вторая 112 торцевая поверхность платформенного слоя 11 проходят за диапазон длины электрода 15 затвора в вертикальном сечении. Другими словами, ортогональная проекция каждой смещенной части 141 на подложке 10 покрывает ортогональную проекцию первой торцевой поверхности 111 или ортогональную проекцию второй торцевой поверхности 112 платформенного слоя 11 на подложке 10.

[0027] Как показано на фиг. 1, межслойный диэлектрический слой 16 осажден на подложку 10 для покрытия оксидного активного слоя 13, изолирующего слоя 14 затвора и электрода 15 затвора. Межслойный диэлектрический слой 16 структурируют с образованием множества межслойных отверстий 160. Электрод истока и электрод 17 стока расположены на межслойном диэлектрическом слое 16 и электрически соединены с проводниковыми частями 132 оксидного активного слоя 13 через соответствующие межслойные отверстия 160. В дополнение, пассивирующий слой 18 также образован на межслойном диэлектрическом слое 16 и выполнен из такого материала, как нитрид (нитрид кремния и т. п.) или оксид (оксид кремния, диоксид кремния), или выполнен с многослойной структурной пленкой. В другом варианте осуществления на пассивирующем слое 18 дополнительно размещен выравнивающий слой (не показан). Выравнивающий слой может предоставлять дополнительную защиту для расположенных ниже слоев пленки и обеспечивать лучший эффект выравнивания. Пиксельный электрод 19 расположен на пассивирующем слое 18 или на выравнивающем слое. Пиксельный электрод 19 образован сквозь структурированный металлический слой и электрически соединен с электродом истока и электродом 17 стока через сквозное отверстие 180. На основании упомянутых выше компонентов в варианте осуществления настоящего изобретения предоставлена подложка 1 матрицы тонкопленочных транзисторов с верхним затвором, которая может служить

управляющей подложкой для последующих жидкокристаллических дисплеев или дисплеев на органических светодиодах.

[0028] Обратимся к фиг. 2, которая представляет собой схематический вид в поперечном разрезе подложки 1 матрицы тонкопленочных транзисторов в другом варианте осуществления настоящего изобретения. Разница между вариантами осуществления, показанными на фиг. 2 и на фиг. 1, состоит в том, что подложка 1 матрицы тонкопленочных транзисторов на фиг. 2 дополнительно снабжена буферным слоем 12 (подробности будут описаны ниже). Другие одинаковые компоненты из вышеупомянутых вариантов осуществления здесь подробно описываться не будут. Как показано на фиг. 2, подложка 1 матрицы тонкопленочных транзисторов, предусмотренная вариантом осуществления настоящего изобретения, содержит подложку 10, платформенный слой 11, буферный слой 12, оксидный активный слой 13, изолирующий слой 14 затвора, электрод 15 затвора, межслойный диэлектрический слой 16 и электроды 17 истока и стока, пассивирующий слой 18 и пиксельный электрод 19. В частности, изолирующий материал или металлический оксидный материал используют для нанесения слоя платформенной пленки, которую структурируют посредством процесса фотолитографии с образованием платформенного слоя 11.

[0029] Продолжая обращаться к фиг. 2, буферный слой 12 расположен на подложке 10, чтобы покрывать платформенный слой 11. В частности, буферный слой 12 выполнен из такого материала, как нитрид (нитрид кремния и т. п.) или оксид (оксид кремния, диоксид кремния), или выполнен с многослойной структурной пленкой. Буферный слой 12, образованный осаждением, имеет выгнутую часть 121, расположенную соответственно расположенному ниже платформенному слою. Следует отметить, что в варианте осуществления, показанном на фиг. 1, платформенный слой 11 выполнен из изолирующего материала, поэтому буферный слой 12 может не быть предусмотрен. Но для улучшения сцепления между стеклянной подложкой и функциональными слоями на поверхности стеклянной подложки и для выполнения функции предотвращения диффузии примесей внутри стеклянной подложки в каждый функциональный слой во время процесса, подложка 1 матрицы тонкопленочных транзисторов согласно варианту осуществления настоящего изобретения снабжена буферным слоем 12, расположенным на другом варианте осуществления, для улучшения сцепления между стеклянной подложкой и функциональными слоями на поверхности стеклянной подложки и для

выполнения функции предотвращения диффузии примесей внутри стеклянной подложки в каждый функциональный слой во время процесса, при этом подложка 1 матрицы тонкопленочных транзисторов согласно варианту осуществления настоящего изобретения снабжена буферным слоем 12, расположенным на подложке 10 на подложке 10.

[0030] Как показано на фиг. 2, оксидный активный слой 13 нанесен на буферный слой 12. Оксидный активный слой 13 содержит канальную часть 131 и проводниковые части 132, расположенные на противоположных сторонах канальной части 131. Следует отметить, что канальная часть 131 и проводниковые части 132 расположены в разных горизонтальных положениях, то есть вертикальный уровень верхней поверхности канальной части 131 выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей 132. В частности, канальная часть 131 расположена на выгнутой части 121 буферного слоя 12 и покрывает всю выгнутую часть 121. Следует отметить, что канальная часть 131 содержит два уклона 133, и один конец каждого уклона 133 соединен с соответствующей из проводниковых частей 132, причем другой конец выходит из канальной части 131. Каждый уклон 133 наклонен в направлении от канальной части 131 к соответствующей проводниковой части 132. Как показано на фиг. 2, буферный слой 12 расположен между оксидным активным слоем 13 и подложкой 10 и платформенным слоем 11.

[0031] Продолжая обращаться к фиг. 2, изолирующий слой 14 затвора расположен на оксидном активном слое 13. Электрод 15 затвора расположен на изолирующем слое 14 затвора. Кроме того, после того, как изолирующий слой 14 затвора подвергают процессу фотолитографии и травления с самовыравниванием, образуются две смещенные части 141. Две смещенные части 141 расположены на двух противоположных концах изолирующего слоя 14 затвора, и каждая смещенная часть 141 расположена согласно соответствующему одному из уклонов 133 канальной части 131 и покрывает соответствующий уклон 133. В частности, каждая смещенная часть 141 образована между боковым краем электрода 15 затвора и боковым краем изолирующего слоя 14 затвора, расположенным рядом с боковым краем электрода 15 затвора. Следует отметить, что длина платформенного слоя 11 меньше, чем длина канальной части 131, и по существу такая же, как длина электрода 15 затвора. То есть ортогональная проекция канальной части 131 на подложке 10 покрывает ортогональную

проекцию платформенного слоя 11 на подложке 10. В дополнение, ортогональная проекция электрода 15 затвора на подложке 10 покрывает ортогональные проекции платформенного слоя 11 и канальной части 131 на подложке 10. В этом варианте осуществления разница длины между платформенным слоем 11 и электродом 15 затвора меньше двух микрон. На схематическом виде в поперечном разрезе подложки 1 матрицы тонкопленочных транзисторов на фиг. 2 видно, что первая торцевая поверхность 111 и вторая торцевая поверхность 112 платформенного слоя 11 наклонены на от 40° до 80° к горизонтали, так что как первая торцевая поверхность 111, так и вторая торцевая поверхность 112 проходят за диапазон длины электрода 15 затвора в вертикальном сечении. Другими словами, ортогональная проекция каждой смещенной части 141 на подложке 10 попадает на первую торцевую поверхность 111 или вторую торцевую поверхность 112 платформенного слоя 11.

[0032] Как показано на фиг. 2, межслойный диэлектрический слой 16 расположен на буферном слое 12 так, чтобы покрывать оксидный активный слой 13, изолирующий слой 14 затвора и электрод 15 затвора, и межслойный диэлектрический слой 16 структурирован с образованием множества межслойных отверстий 160. Электрод истока и электрод 17 стока расположены на межслойном диэлектрическом слое 16 и электрически соединены с проводниковыми частями 132 оксидного активного слоя 13 через соответствующие межслойные отверстия 160. В дополнение, пассивирующий слой 18 также образован на межслойном диэлектрическом слое 16. В другом варианте осуществления на пассивирующем слое 18 дополнительно предоставлен выравнивающий слой (не показан). Пиксельный электрод 19 образован на пассивирующем слое 18 или на выравнивающем слое. Пиксельный электрод 19 электрически соединен с электродом истока и электродом 17 стока через сквозное отверстие 180. На основании вышеупомянутых компонентов в варианте осуществления настоящего изобретения предоставлена подложка 1 матрицы тонкопленочных транзисторов с верхним затвором. Следовательно, подложка 1 матрицы тонкопленочных транзисторов согласно варианту осуществления настоящего изобретения может служить управляющей подложкой для последующих жидкокристаллических дисплеев или дисплеев на органических светодиодах.

[0033] Соответственно, в подложке 1 матрицы тонкопленочных транзисторов согласно варианту осуществления настоящего изобретения платформенный слой 11 и

регулировку углов первой торцевой поверхности 111 и второй торцевой поверхности 112 платформенного слоя 11 используют для обеспечения возможности образования плавных смещенных частей 141 в форме уклона структур верхних пленочных слоев так, что ортогональные проекции смещенных частей 141 на подложке 10 покрывают ортогональные проекции уклонов 133 канальной части 131 на подложке 10, соответственно, и попадают на первую торцевую поверхность 111 и вторую торцевую поверхность 112 платформенного слоя 11. Предоставление смещенных частей 141 продлевает проводящий диффузионный путь оксидного активного слоя 13 так, что длины областей низкого сопротивления, образованных посредством диффузии от двух концов канальной части 131 до внутреннего пространства канальной части 131, уменьшаются после процесса травления с самовыравниванием, чтобы эффективно регулировать или подавлять сокращение эффективной длины канала и обеспечивать эффективную длину канала, тем самым облегчая реализацию уменьшения размеров TFT устройств.

[0034] В одном варианте осуществления настоящего изобретения дополнительно предоставлен способ изготовления подложки матрицы тонкопленочных транзисторов, то есть способ изготовления подложки 1 матрицы тонкопленочных транзисторов согласно вышеупомянутым вариантам осуществления.

[0035] Обратимся к фиг. 3, 4 и 11. На фиг. 3 представлена блок-схема способа изготовления подложки матрицы тонкопленочных транзисторов согласно варианту осуществления настоящего изобретения. На фиг. 4–11 представлены схематические виды конструкций пленочных слоев тонкопленочного транзистора, изготовленных на каждом этапе в способе изготовления подложки 1 матрицы тонкопленочных транзисторов, согласно варианту осуществления настоящего изобретения.

[0036] Как показано на фиг. 3, способ изготовления подложки 1 матрицы тонкопленочных транзисторов согласно варианту осуществления настоящего изобретения включает следующие этапы S10–S80.

[0037] Этап S10: осаждение платформенного слоя на подложку. В частности, как показано на фиг. 4, платформенный слой 11 на подложке 10 имеет толщину от 100 ангстрем (Å) до 10000 Å и содержит первую торцевую поверхность 111 и вторую

торцевую поверхность 112, наклоненные наружу, соответственно. Платформенный слой 11 выполнен из изолирующего материала или оксида металла.

[0038] Следует отметить, что если платформенный слой 11 выполнен из изолирующего материала, то подложка матрицы тонкопленочных транзисторов, показанная на фиг. 1, может не быть снабжена буферным слоем.

[0039] В другом варианте осуществления для улучшения сцепления между стеклянной подложкой и функциональными слоями на поверхности стеклянной подложки и для выполнения функции предотвращения диффузии примесей внутри стеклянной подложки в каждый функциональный слой во время процесса. Подложка 1 матрицы тонкопленочных транзисторов согласно этому варианту осуществления настоящего изобретения снабжена буферным слоем 12, который располагают на подложке 10. В частности, как показано на фиг. 5, способ изготовления дополнительно включает этап S101: осаждение буферного слоя на подложку для покрытия платформенного слоя. Буферный слой 12 выполнен из такого материала, как оксид кремния или нитрид кремния, или выполнен с многослойной структурной пленкой, и имеет толщину от 1000 Å до 5000 Å, при этом буферный слой 12 образует выгнутую часть 121, расположенную непосредственно над платформенным слоем 11, при помощи процесса фотолитографии.

[0040] Этап S20: предоставление оксидного активного слоя на подложке и образование канальной части и проводниковых областей, расположенных на двух противоположных сторонах канальной части, с использованием процесса фотолитографии. В частности, как показано на фиг. 6, оксидный активный слой 13 выполнен из материала металл-оксидного полупроводника, такого как IGZO, IZTO или IGZTO, и имеет толщину от 50 Å до 1000 Å. Канальная часть 131 содержит два уклона 133. Один конец каждого из уклонов 133 соединен с соответствующей проводниковой областью 130, и каждый уклон 133 наклонен в направлении от канальной части 131 к соответствующей проводниковой области 130. В частности, канальная часть 131 расположена на выгнутой части 121 и покрывает всю выгнутую часть 121.

[0041] Этап S30: осаждение изолирующего слоя затвора на оксидном активном слое. В частности, как показано на фиг. 7, изолирующий слой 14 затвора выполнен из такого

материала, как оксид кремния или нитрид кремния, или выполнен с многослойной структурной пленкой, и имеет толщину от 1000 Å до 3000 Å.

[0042] Этап S40: осаждение металлического слоя затвора на изолирующий слой затвора. В частности, как показано на фиг. 8, металлический слой 150 затвора может быть выполнен из молибдена (Mo), алюминия (Al), меди (Cu), титана (Ti), марганца (Mn) и т. п., или их сплава, и имеет толщину от 2000 Å до 10000 Å.

[0043] Этап S50: образование электрода затвора с использованием процесса фотолитографии для структурирования металлического слоя затвора и травление с самовыравниванием изолирующего слоя затвора для обнажения проводниковых частей оксидного активного слоя, при этом ортогональная проекция электрода затвора на подложке покрывает ортогональные проекции платформенного слоя и канальной части на подложке. В частности, как показано на фиг. 8, фотомаску 110 используют для выполнения процесса фотолитографии для структурирования металлического слоя 150 затвора для образования электрода 15 затвора и для травления с самовыравниванием изолирующего слоя 14 затвора для обнажения проводниковых областей 130 оксидного активного слоя. Как показано на фиг. 9, после того, как изолирующий слой 14 затвора подвергают процессу фотолитографии и травления с самовыравниванием, образуются две смещенные части 141. Две смещенные части 141 покрывают уклоны 133 канальной части 131, соответственно. Ортогональная проекция каждой смещенной части 141 на подложке 10 попадает на первую торцевую поверхность 111 или вторую торцевую поверхность 112 платформенного слоя 11. В дополнение, ортогональные проекции смещенных частей 141 на подложке 10 покрывают ортогональные проекции первой торцевой поверхности 111 и второй торцевой поверхности 112 платформенного слоя 11 на подложке 10 и ортогональные проекции уклонов 133 канальной части 133 на подложке 10, соответственно.

[0044] Этап S60: выполнение плазменной обработки всей поверхности для придания проводниковым областям оксидного активного слоя проводимости с образованием проводниковых частей, при этом вертикальный уровень верхней поверхности канальной части выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей. В частности, как показано на фиг. 9, у оксидного активного слоя 13 без расположенного выше фоторезиста / изолирующего слоя 14 затвора / металлической защиты сопротивление значительно уменьшается после обработки и

образуются проводниковые части 132 типа N+. Кроме того, продлевается проводящий диффузионный путь, соответствующий смещенным частям 141, на первой торцевой поверхности 111 и второй торцевой поверхности 112 платформенного слоя 11.

[0045] Этап S70: осаждение межслойного диэлектрического слоя для покрытия оксидного активного слоя, изолирующего слоя затвора и электрода затвора, и структурирование межслойного диэлектрического слоя с образованием множества межслойных отверстий. В частности, как показано на фиг. 10, межслойный диэлектрический слой 16 выполнен из такого материала, как оксид кремния или нитрид кремния, или выполнен с многослойной структурной пленкой, и имеет толщину от 1000 Å до 8000 Å. Межслойный диэлектрический слой 16 после структурирования обнажает области контакта электрода истока/стока в оксидном активном слое 13 и образует множество межслойных отверстий 160.

[0046] Этап S80: осаждение и структурирование металлического слоя электрода истока/стока в электрод истока и электрод стока, при этом электрод истока и электрод стока электрически соединены с проводниковыми частями оксидного активного слоя через межслойные отверстия. В частности, как показано на фиг. 11, металлический слой истока/стока осажден на межслойном диэлектрическом слое 16, при этом металлический слой истока/стока может быть выполнен из Mo, Al, Cu, Ti, Mn и т. п., или их сплавов, и имеет толщину от 2000 Å до 10000 Å. Электроды 17 истока и стока образованы посредством структурирования металлического слоя электрода истока/стока и электрически соединены с проводниковыми частями 132 оксидного активного слоя 13 через межслойные отверстия 160.

[0047] В дополнение, как показано на фиг. 1 и 2, пассивирующий слой 18 также образован на межслойном диэлектрическом слое 16 и выполнен из такого материала, как нитрид кремния или оксид кремния, или выполнен с многослойной структурной пленкой. Пассивирующий слой 18 имеет толщину от 1000 Å до 5000 Å и образует сквозное отверстие 180 при помощи процесса фотолитографии. В другом варианте осуществления на пассивирующем слое 18 дополнительно предоставлен выравнивающий слой (не показан). Наконец, слой пиксельного электрода изготавливают под вышеупомянутой основной пленочной структурой, и слой пиксельного электрода структурируют с образованием пиксельного электрода 19, который электрически соединен с электродом истока и электродом 17 стока через

сквозное отверстие 180. Следовательно, подложка 1 матрицы тонкопленочных транзисторов согласно варианту осуществления настоящего изобретения может служить управляющей подложкой для последующих жидкокристаллических дисплеев или дисплеев на органических светодиодах.

[0048] Соответственно, в подложке матрицы тонкопленочных транзисторов и способе ее изготовления согласно вариантам осуществления настоящего изобретения платформенный слой и регулировку углов первой торцевой поверхности и второй торцевой поверхности платформенного слоя используют для обеспечения возможности образования плавных смещенных частей в форме уклона структур верхних пленочных слоев так, что ортогональные проекции смещенных частей на подложке покрывают ортогональные проекции уклонов канальной части на подложке и попадают на первую торцевую поверхность и вторую торцевую поверхность платформенного слоя, соответственно. Предоставление смещенных частей продлевает проводящий диффузионный путь оксидного активного слоя так, что длины областей низкого сопротивления, образованных посредством диффузии с двух концов канальной части до внутреннего пространства канальной части, уменьшаются после процесса травления с самовыравниванием, чтобы эффективно регулировать или подавлять сокращение эффективной длины канала и обеспечивать эффективную длину канала, тем самым облегчая реализацию уменьшения размеров TFT устройств и эффективно устраняя техническую проблему, заключающуюся в том, что диффузия эффектов электропроводимости на обоих концах канала традиционного устройства тонкопленочного транзистора приводит к образованию областей низкого сопротивления на обоих концах канала, что приводит к уменьшению эффективной длины канала, что не способствует уменьшению размеров устройств тонкопленочных транзисторов.

[0049] В вышеприведенных вариантах осуществления описание каждого варианта осуществления имеет свой собственный аспект. Для деталей, которые не описаны подробно в одном варианте осуществления, может быть сделана ссылка на связанные описания других вариантов осуществления.

[0050] Выше подробно описаны варианты осуществления настоящего изобретения. Описания приведенных выше вариантов осуществления используются лишь для оказания помощи в понимании технических решений и основных идей настоящего изобретения; специалистам в данной области техники должно быть понятно, что они

по-прежнему могут изменять технические решения, описанные в предшествующих вариантах осуществления, принимая во внимание, что эти изменения или замены не отклоняют сущность соответствующих технических решений от объема технических решений вариантов осуществления настоящего изобретения.

Формула изобретения

1. Подложка матрицы тонкопленочных транзисторов, содержащая:

подложку;

платформенный слой, расположенный на подложке;

оксидный активный слой, расположенный на подложке и размещенный над платформенным слоем и содержащий канальную часть и проводниковые части, размещенные на противоположных сторонах канальной части, при этом вертикальный уровень верхней поверхности канальной части выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей;

изолирующий слой затвора, расположенный на оксидном активном слое;

электрод затвора, расположенный на изолирующем слое затвора, при этом ортогональная проекция электрода затвора на подложке покрывает ортогональные проекции платформенного слоя и канальной части на подложке; и

электрод истока и электрод стока, каждый из которых электрически соединен с проводниковыми частями.

2. Подложка матрицы тонкопленочных транзисторов по п. 1, отличающаяся тем, что дополнительно содержит буферный слой, расположенный на подложке и покрывающий платформенный слой, при этом платформенный слой выполнен из изолирующего материала или оксида металла.

3. Подложка матрицы тонкопленочных транзисторов по п. 2, отличающаяся тем, что буферный слой содержит выгнутую часть и канальная часть расположена на выгнутой части и покрывает всю выгнутую часть.

4. Подложка матрицы тонкопленочных транзисторов по п. 1, отличающаяся тем, что канальная часть содержит два уклона и один конец каждого из уклонов соединен с соответствующей из проводниковых частей, при этом каждый уклон наклонен в направлении от канальной части к соответствующей проводниковой части.

5. Подложка матрицы тонкопленочных транзисторов по п. 4, отличающаяся тем, что платформенный слой содержит первую торцевую поверхность и вторую торцевую поверхность, наклоненные наружу, соответственно, и ортогональная проекция канальной части на подложке покрывает ортогональную проекцию платформенного слоя на подложке.

6. Подложка матрицы тонкопленочных транзисторов по п. 5, отличающаяся тем, что изолирующий слой затвора содержит две смещенные части, расположенные напротив друг друга, при этом каждая из смещенных частей образована между боковым краем электрода затвора и боковым краем изолирующего слоя затвора, расположенным рядом с боковым краем электрода затвора, так, что ортогональные проекции двух смещенных частей на подложке покрывают ортогональные проекции первой торцевой поверхности и второй торцевой поверхности платформенного слоя и ортогональные проекции уклонов канальной части на подложке, соответственно.

7. Подложка матрицы тонкопленочных транзисторов по п. 1, отличающаяся тем, что дополнительно содержит межслойный диэлектрический слой, покрывающий оксидный активный слой, изолирующий слой затвора и электрод затвора и содержащий множество межслойных отверстий, при этом электрод истока и электрод стока расположены на межслойном диэлектрическом слое и электрически соединены с проводниковыми частями через межслойные отверстия.

8. Способ изготовления подложки матрицы тонкопленочных транзисторов, включающий:

осаждение платформенного слоя на подложку, при этом платформенный слой выполнен из изолирующего материала или оксида металла;

образование оксидного активного слоя на подложке и образование канальной части и проводящих областей, расположенных на двух противоположных сторонах канальной части, с использованием процесса фотолитографии;

осаждение изолирующего слоя затвора на оксидном активном слое;

осаждение металлического слоя затвора на изолирующем слое затвора;

образование, с использованием процесса фотолитографии для структурирования металлического слоя затвора, электрода затвора, и травление с самовыравниванием изолирующего слоя затвора для обнажения проводниковых частей оксидного активного слоя, при этом ортогональная проекция электрода затвора на подложке покрывает ортогональные проекции платформенного слоя и канальной части на подложке;

выполнение плазменной обработки всей поверхности для придания проводниковым областям оксидного активного слоя проводимости с образованием проводниковых частей, при этом вертикальный уровень верхней поверхности канальной части выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей;

осаждение межслойного диэлектрического слоя для покрытия оксидного активного слоя, изолирующего слоя затвора и электрода затвора и структурирование межслойного диэлектрического слоя с образованием множества межслойных отверстий; и

осаждение и структурирование металлического слоя электрода истока/электрода стока в электрод истока и электрод стока, при этом электрод истока и электрод стока электрически соединены с проводниковыми частями оксидного активного слоя через межслойные отверстия.

9. Способ изготовления подложки матрицы тонкопленочных транзисторов по п. 8, отличающийся тем, что перед этапом образования оксидного активного слоя на подложке способ дополнительно включает осаждение буферного слоя на подложке для покрытия платформенного слоя, и буферный слой образуют процессом фотолитографии с образованием выгнутой части, находящейся непосредственно над платформенным слоем, при этом канальная часть расположена на выгнутой части и покрывает всю выгнутую часть.

10. Способ изготовления подложки матрицы тонкопленочных транзисторов по п. 9, отличающийся тем, что канальная часть содержит два уклона, причем один конец каждого из уклонов соединен с соответствующей из проводниковых частей и каждый из уклонов наклонен в направлении от канальной части к соответствующей проводниковой части, при этом изолирующий слой затвора содержит две смещенные части, расположенные напротив друг друга, при этом каждая из смещенных частей образована между боковым краем электрода затвора и боковым краем изолирующего слоя затвора, расположенным рядом с боковым краем электрода затвора, так, что

ортогональные проекции двух смещенных частей на подложке покрывают ортогональные проекции первой торцевой поверхности и второй торцевой поверхности платформенного слоя и ортогональные проекции уклонов канальной части на подложке, соответственно.

11. Подложка матрицы тонкопленочных транзисторов, содержащая:

подложку;

платформенный слой, расположенный на подложке, при этом платформенный слой выполнен из изолирующего материала или оксида металла;

оксидный активный слой, расположенный на подложке и размещенный над платформенным слоем и содержащий канальную часть и проводниковые части, размещенные на противоположных сторонах канальной части, при этом канальная часть содержит два уклона, один конец каждого из уклонов соединен с соответствующей из проводниковых частей, а другой конец выходит из канальной части, при этом вертикальный уровень верхней поверхности канальной части выше, чем вертикальный уровень верхней поверхности любой из проводниковых частей;

изолирующий слой затвора, расположенный на оксидном активном слое;

электрод затвора, расположенный на изолирующем слое затвора, при этом ортогональная проекция электрода затвора на подложке покрывает ортогональные проекции платформенного слоя и канальной части на подложке; и

электрод истока и электрод стока, каждый из которых электрически соединен с проводниковыми частями.

12. Подложка матрицы тонкопленочных транзисторов по п. 11, отличающаяся тем, что дополнительно содержит буферный слой, расположенный на подложке и покрывающий платформенный слой.

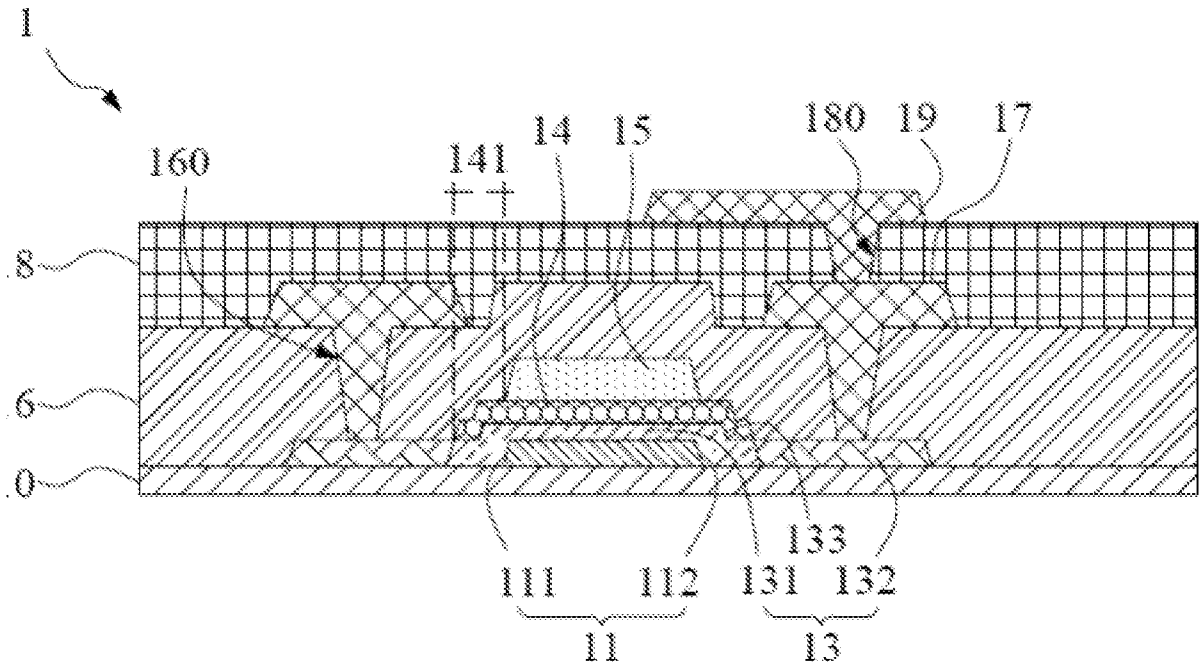
13. Подложка матрицы тонкопленочных транзисторов по п. 12, отличающаяся тем, что буферный слой содержит выгнутую часть и канальная часть расположена на выгнутой части и покрывает всю выгнутую часть.

14. Подложка матрицы тонкопленочных транзисторов по п. 11, отличающаяся тем, что каждый из уклонов наклонен в направлении от канальной части к соответствующей проводниковой части.

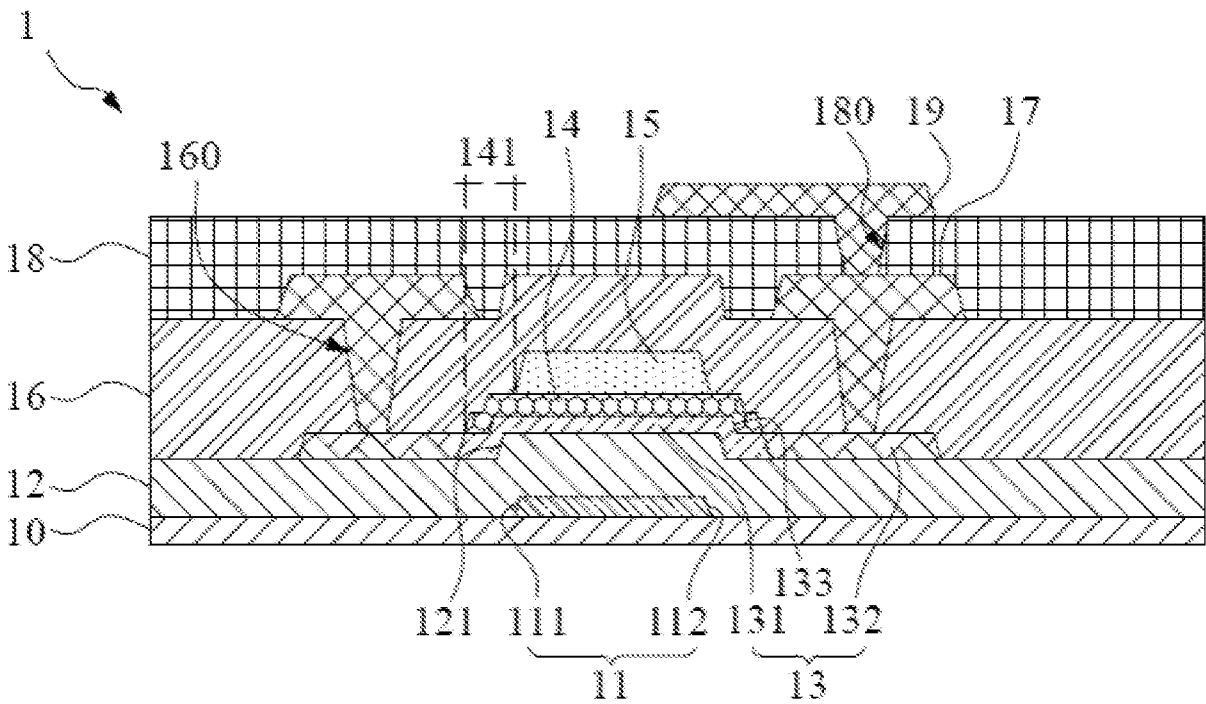
15. Подложка матрицы тонкопленочных транзисторов по п. 14, отличающаяся тем, что платформенный слой содержит первую торцевую поверхность и вторую торцевую поверхность, наклоненные наружу, соответственно, и ортогональная проекция канальной части на подложке покрывает ортогональную проекцию платформенного слоя на подложке.

16. Подложка матрицы тонкопленочных транзисторов по п. 15, отличающаяся тем, что изолирующий слой затвора содержит две смещенные части, расположенные напротив друг друга, при этом каждая из смещенных частей образована между боковым краем электрода затвора и боковым краем изолирующего слоя затвора, расположенным рядом с боковым краем электрода затвора, так, что ортогональные проекции двух смещенных частей на подложке покрывают ортогональные проекции первой торцевой поверхности и второй торцевой поверхности платформенного слоя и ортогональные проекции уклонов канальной части на подложке, соответственно.

17. Подложка матрицы тонкопленочных транзисторов по п. 11, отличающаяся тем, что дополнительно содержит межслойный диэлектрический слой, покрывающий оксидный активный слой, изолирующий слой затвора и электрод затвора и содержащий множество межслойных отверстий, при этом электрод истока и электрод стока расположены на межслойном диэлектрическом слое и электрически соединены с проводниковыми частями через межслойные отверстия.



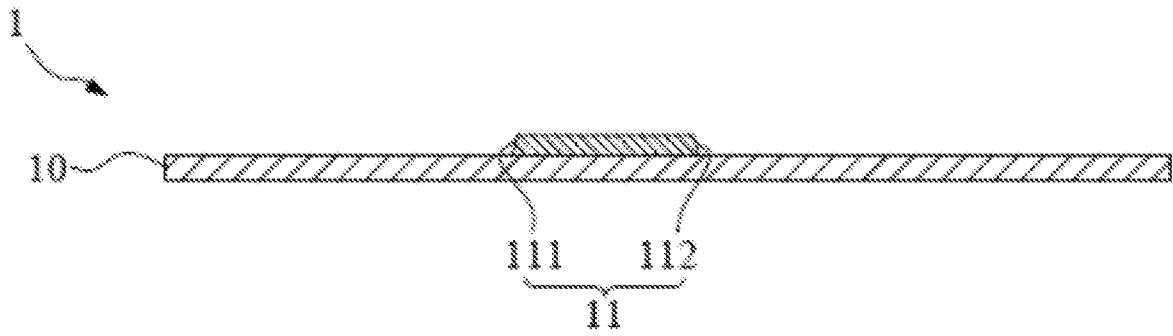
Фиг. 1



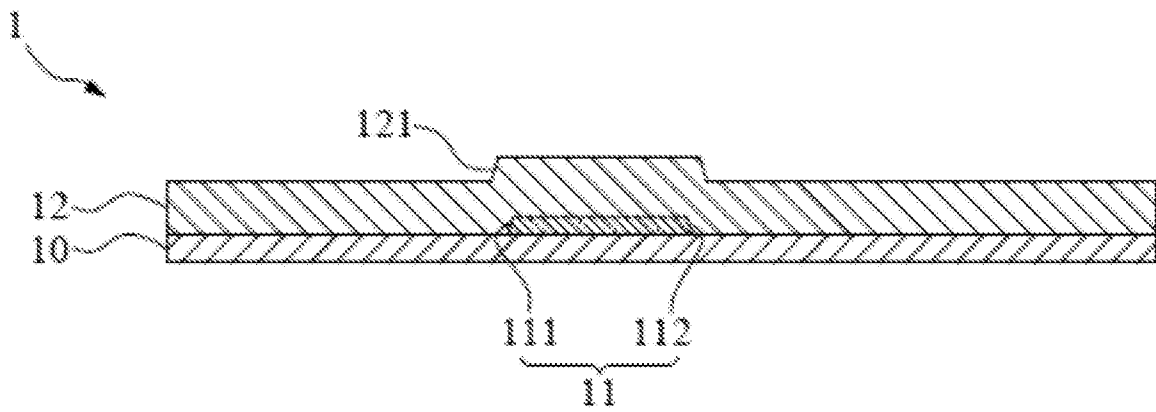
Фиг. 2



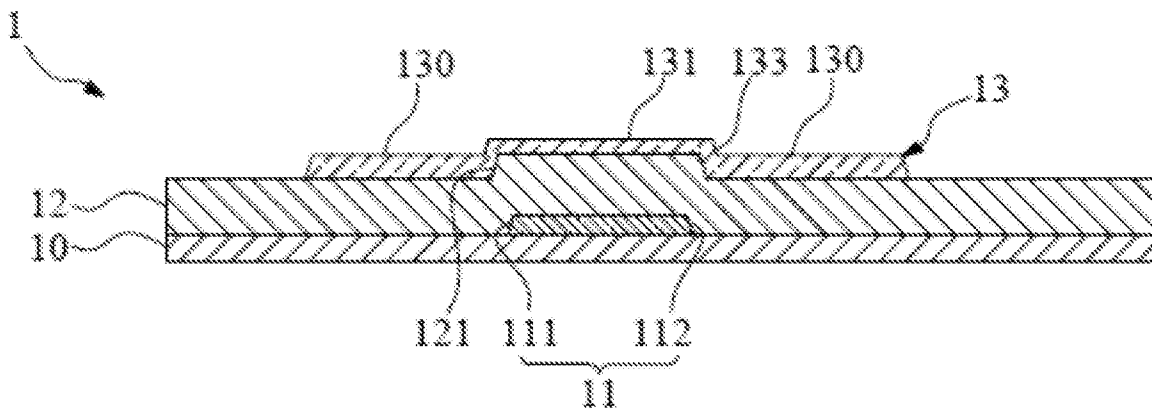
Фиг. 3



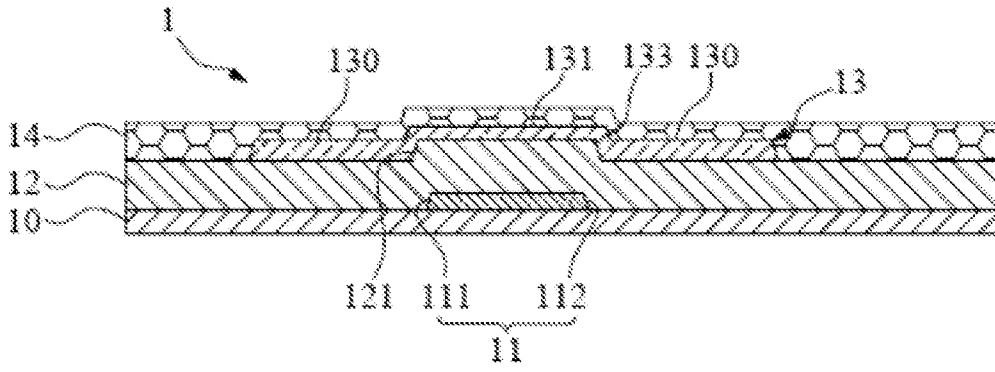
Фиг. 4



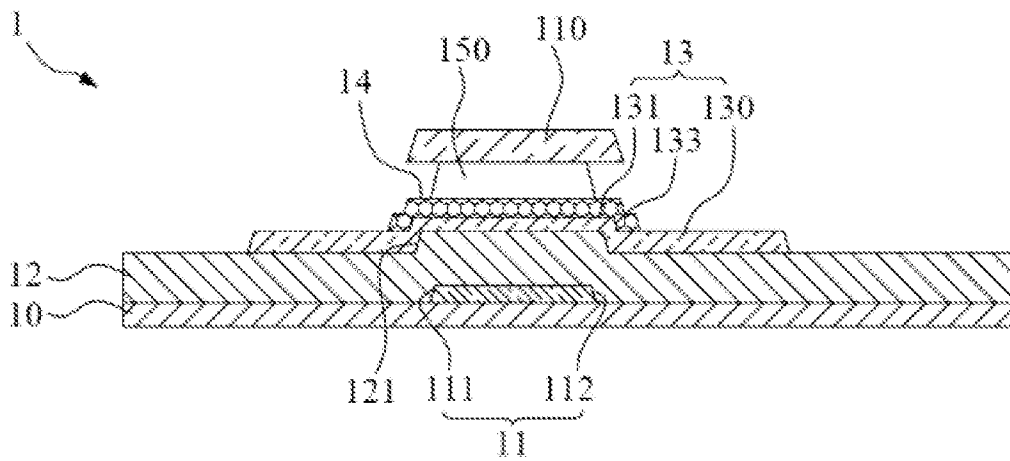
Фиг. 5



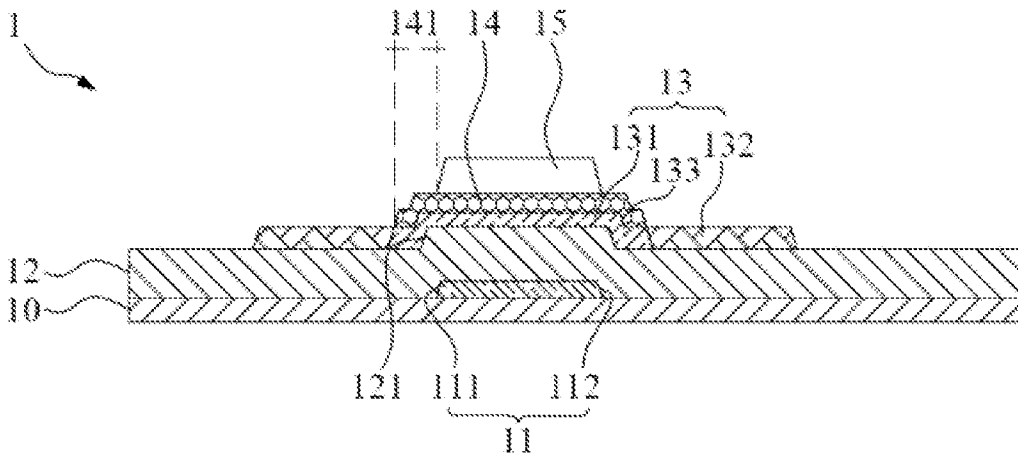
Фиг. 6



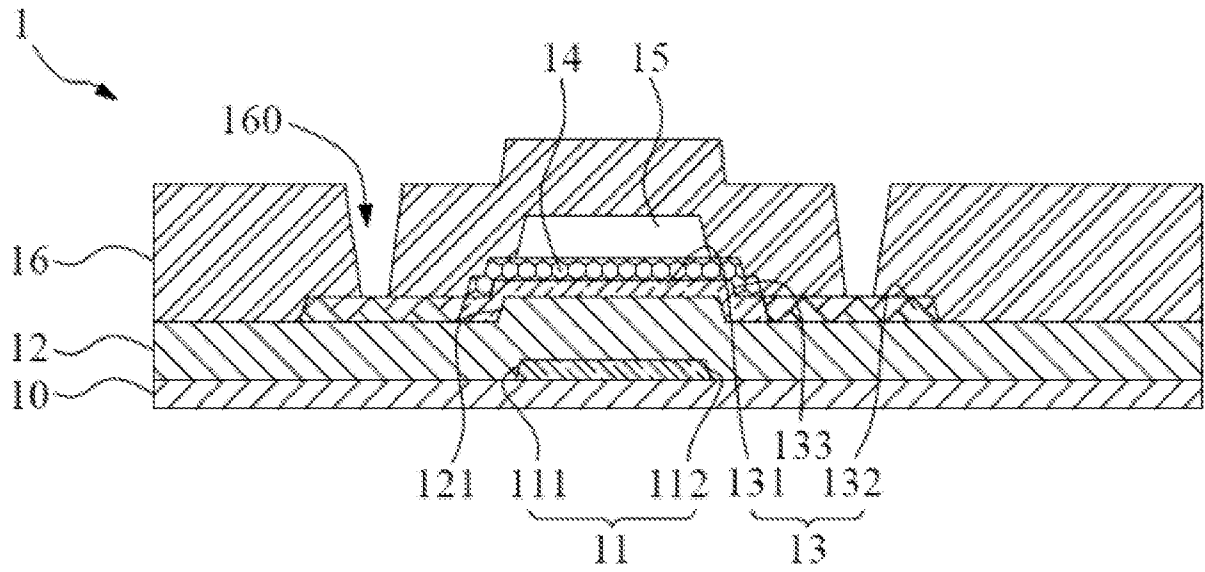
Фиг. 7



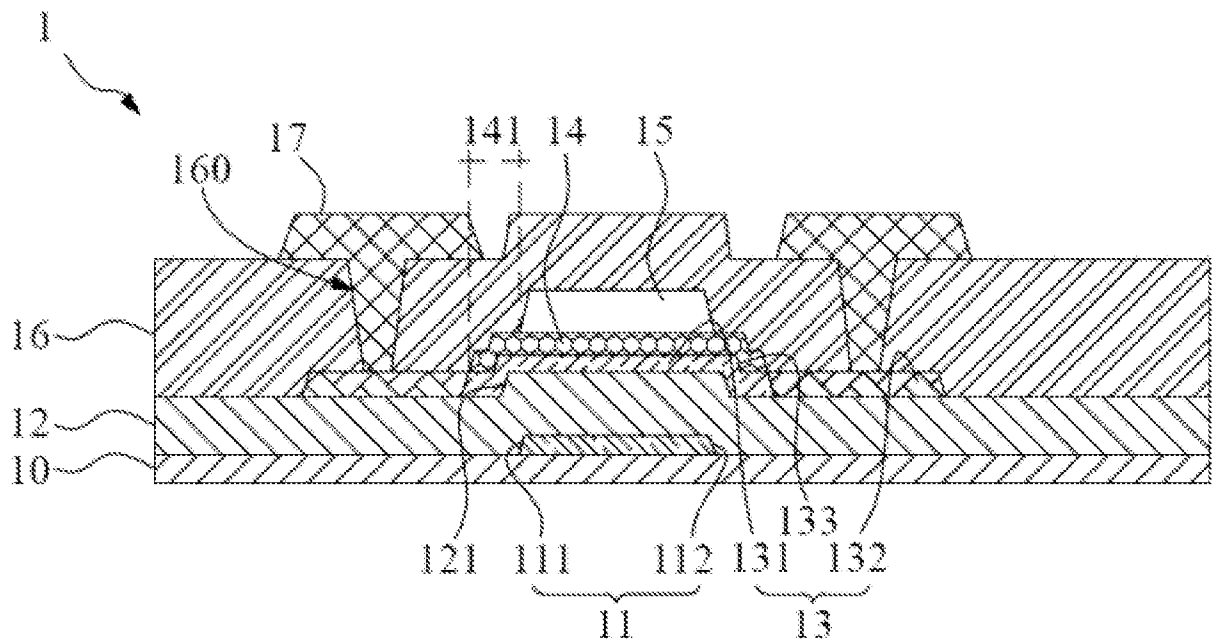
Фиг. 8



Фиг. 9



Фиг. 10



Фиг. 11